

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年5月21日 (21.05.2004)

PCT

(10) 国際公開番号
WO 2004/042923 A1

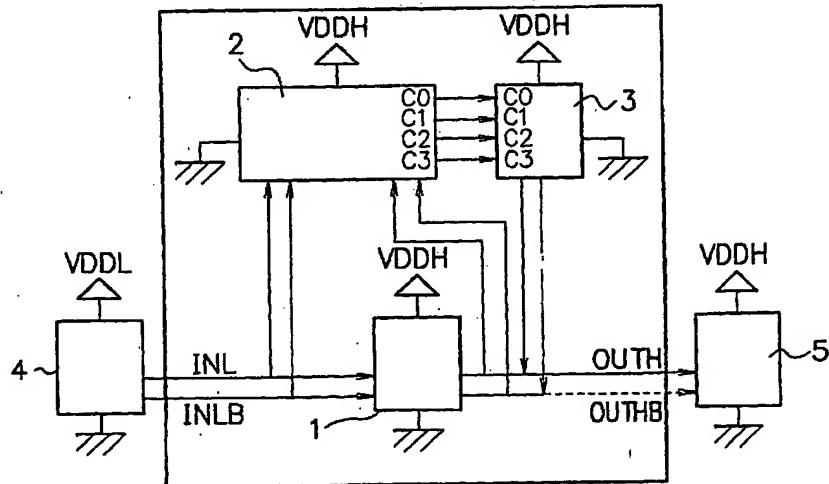
(51) 国際特許分類⁷: H03K 19/0185
 (21) 国際出願番号: PCT/JP2003/014107
 (22) 国際出願日: 2003年11月5日 (05.11.2003)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2002-323082 2002年11月6日 (06.11.2002) JP
 (71) 出願人(米国を除く全ての指定国について): 日本電気
 株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001
 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者: および
 (75) 発明者/出願人(米国についてのみ): 野村 昌弘 (NOMURA,Masahiro) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
 (74) 代理人: 丸山 隆夫 (MARUYAMA,Takao); 〒170-0013
 東京都豊島区東池袋2-38-23 SAMビル3階 丸山特許
 事務所内 Tokyo (JP).
 (81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
 BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
 DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
 ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT,
 LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ,
 OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM,

[統葉有]

(54) Title: LEVEL CONVERSION CIRCUIT

(54) 発明の名称: レベル変換回路



WO 2004/042923 A1

(57) Abstract: A level conversion circuit in which operational margin of level conversion is prevented from deteriorating when the potential difference between a first power supply and a second power supply is large. The level conversion circuit for converting the signal level of a first logic circuit being fed from the first power supply into the signal level of a second logic circuit being fed from the second power supply, characterized in that a pull-up and/or pull-down circuit where the level conversion core output of a level conversion core circuit is fed from the second power supply are provided, and an arrangement for controlling the pull-up and/or pull-down circuit through a control circuit being fed from the second power supply and receiving a level conversion input signal and a level conversion output signal is provided.

(57) 要約: 第1の電源と第2の電源の電位差が大きい場合のレベル変換動作マージンの悪化を低減したレベル変換回路の提供。 第1の電源が供給される第1の論理回路の信号レ

[統葉有]



TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国(広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK,

添付公開書類:
— 國際調査報告書

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換コア出力に前記第2の電源が供給されるプルアップおよび/またはプルダウン回路と前記第2の電源が供給されレベル変換入力信号とレベル変換出力信号を入力する制御回路により前記プルアップおよび/またはプルダウン回路を制御する構成を設けたことを特徴とする。

明細書

レベル変換回路

技術分野

本発明はレベル変換回路に関し、特に第1の電源と第2の電源の電位差が大きいレベル変換回路のレベル変換動作マージンとレベル変換遅延の改良に関する。

従来技術

従来、レベル変換回路は、一般的に複数の電源を有するシステム LSI 内で利用され、たとえば図1に示すように、特許文献1等で提案されるレベル変換回路が知られており、近年、システム LSI の電源電圧が低下する傾向にある。

一方、規格化され低電圧化が困難な IO 回路、あるいは動作マージン確保のために低電圧化が困難なアナログ回路では、電源電圧が低下せず、電位差が大きくても安定かつ高速のレベル変換動作が可能なレベル変換回路が求められている。

この要請に応えるために、例えば、特許文献1に開示されているように、レベル変換出力に第1の電源が供給されるプルアップ回路を設けるとともに、レベル変換入力信号により、前記プルアップ回路を制御することが提案されている。この特許文献1に開示された手法は、図3に示されるように、第1の電源と第2の電源の電位差が大きい時に、反転困難な p-MOS クロスカップルラッチ部を反転しやすいように第1の電源が接続される n-MOS プルアップ手段を設けている。

また、特許文献2には、p-MOS クロスカップルと差動 n-MOS スイッチの間にレベル変換入力信号で制御される p-MOS スイッチを設ける発明が開示されている。

この文献に開示された手法は、図2に示されるように、第1の電源と第2の電源の電位差が大きい時に反転困難な p-MOS クロスカップルラッチ部を反転しやすいようにクロスカップルの結合を弱める p-MOS スイッチ手段が設けられている。

[特許文献1]

特開昭63-152220号公報（第2～第3頁、第1図～第3図）

〔特許文献2〕

特開平06-243680号公報（第8～第15頁、第1、第3、第5、第7及び第9図）

〔特許文献3〕

特開平06-268452号公報（第4～第5頁、第1、第3及び第5図）

発明が解決しようとする課題

しかしながら、前記した技術のうち、前者の特許文献2に開示された技術では、プルアップ回路に第1の電源が供給され、プルアップ回路がレベル変換入力信号の第1の電源レベルで制御され、プルアップ回路が実施例に示される n-MOS を用いた場合には、閾値落ちしてしまう。特に、第1の電源と第2の電源の電位差が大きいほど、プルアップ能力が十分でなく、十分なレベル変換動作マージンが得られないという問題がある。また、後者の特許文献3に記載の技術では、p-MOS スイッチがレベル変換入力信号の第1の電源レベルで制御されることから、特に、第1の電源と第2の電源の電位差が大きいほど p-MOS クロスカップルの結合を弱める力が十分でなく、十分なレベル変換速度が得られないという問題がある。

本発明の目的は、第1の電源と第2の電源の電位差が大きくても十分なレベル変換動作マージンが得られるとともに、十分なレベル変換速度を有したレベル変換回路を提供することにある。

発明の開示

請求項1に記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、前記レベル変換回路は、制御回路が制御するおよび／またはプルアップおよび／またはプルダウン回路を制御するレベル変換コア回路を設け、前記レベル変換コア回路は、前記第2の電源と、前記第1の論理

回路からの出力信号を入力し、前記第2の論理回路に入力する信号を出力することを特徴とする。

請求項2に記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、前記レベル変換回路は、レベル変換を実現するレベル変換コア回路と、レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設けたことを特徴とする。

請求項3に記載のレベル変換回路の発明は、請求項1または2において、前記レベル変換コア回路は、複数のp-MOSからなるp-MOSクロスカップルラッチと、複数のn-MOSからなる差動n-MOSスイッチとを有し、前記p-MOSの各ソース端子が第2の電源に接続され、前記p-MOSの各ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記差動n-MOSスイッチの前記n-MOSは、ソース端子が各GND電源に接続され、前記レベル変換出力に前記n-MOSのドレイン端子が接続され、レベル変換入力に前記n-MOSのゲート端子が接続されたことを特徴とする。

請求項4に記載のレベル変換回路の発明は、請求項2または3において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とするNAND回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とするNAND回路と、前記第2の電源が供給され前記NAND回路の各出力を入力とする複数のインバータとからなり、前記NAND回路と前記インバータの各出力信号を制御信号として出力していることを特徴とする。

請求項5に記載のレベル変換回路の発明は、請求項4において、前記NAND回路は、CMOS回路構成であり、前記レベル変換入力信号が接続されるp-MOSはチャネル幅／チャネル長の比が小さいか、閾値の極性が負で絶対値が高い、少なくともいずれかの条件を有するトランジスタからなっていることを特徴とする。

請求項 6 に記載のレベル変換回路の発明は、請求項 1～5 のいずれか 1 項において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力にそれぞれのドレイン端子が接続される複数の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子がそれぞれ接続される複数の n-MOS からなっていることを特徴とする。

請求項 7 に記載のレベル変換回路の発明は、請求項 1～3 のいずれか 1 項において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする複数のインバータとからなり、前記 NOR 回路と前記インバータの各出力信号を制御信号として出力することを特徴とする。

請求項 8 に記載のレベル変換回路の発明は、請求項 7 において、前記 NOR 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいか、閾値の極性は負で絶対値が高い少なくとも 1 つの条件のトランジスタからなっていることを特徴とする。

請求項 9 に記載のレベル変換回路の発明は、請求項 1～8 のいずれか 1 項において、前記レベル変換コア回路は、前記第 2 の電源に各ソース端子が、前記各レベル変換出力の各ゲート端子が接続された複数の p-MOS からなる p-MOS クロスカップルラッチと、前記複数の p-MOS のドレイン端子に各ソース端子が、前記各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された複数の p-MOS スイッチと、GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子がそれぞれ接続された複数の n-MOS からなる差動 n-MOS スイッチとなっていることを特徴とする。

請求項 10 に記載のレベル変換回路の発明は、請求項 1～9 のいずれか 1 項において、前記レベル変換コア回路は、前記第 2 の電源にそれぞれソース端子が、

ゲート端子にそれぞれのドレン端子であるレベル変換出力が接続された複数の p-MOS からなる p-MOS クロスカップルラッチと、GND 電源にそれぞれのソース端子が、前記レベル変換出力にそれぞれのドレン端子が、レベル変換入力に各ゲート端子が接続された複数の n-MOS からなる差動 n-MOS スイッチと、前記第1の電源にそれぞれドレン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が接続された n-MOS を有することを特徴とする。

図面の簡単な説明

図1は、従来のレベル変換回路の例を示す回路図である。

図2は、従来のレベル変換回路の別の例を示す回路図である。

図3は、従来のレベル変換回路のさらに別の例を示す回路図である。

図4は、第2実施形態の変形例に使用される制御回路の別の例を示す回路図である。

図5は、第2実施形態の変形例に使用される制御回路の他の別の例を示す回路図である。

図6は、第2の実施形態に使用される制御回路の別の例を示す回路図である。

図7は、本発明に係るレベル変換回路の実施の形態例を示す図である。

図8は、本発明に係るレベル変換回路に使用されるレベル変換コア回路の例を示す図である。

図9は、本発明に係るレベル変換回路に使用される制御回路の例を示す図である。

図10は、本発明に係るレベル変換回路に使用されるプルアップ/プルダウン回路の例を示す図である。

図11は、本発明に係るレベル変換回路に使用されるNAND回路の例を示す図である。

図12は、本発明に係るレベル変換回路に使用されるOR回路の例を示す図である。

図13は、本発明に係るレベル変換回路に使用されるレベル変換コア回路の動

作例を示すタイミングチャートである。

図14は、本発明に係るレベル変換回路に使用される制御回路とプルアップ／プルダウン回路の動作例を示すタイミングチャートである。

図15は、本発明に係るレベル変換回路に使用される制御回路の別の例を示す図である。

図16は、本発明のレベル変換装置に使用されるレベル変換コア回路の別の例を示す回路図である。

図17は、本発明のレベル変換装置に使用されるレベル変換コア回路の他の別の例を示す回路図である。

図18は、本発明のレベル変換回路の第2の実施形態を示す構成図である。

図19は、第2の実施形態に使用される制御回路の回路例を示す図である。

図20は、第2に実施形態に使用されるプルアップ回路の例を示す回路図である。

図21は、第2の実施形態に使用される制御回路の他の別の例を示す回路図である。

図22は、第2の実施形態に使用されるプルアップ回路の別の例を示す図である。

図23は、本発明のレベル変換装置の第3の実施（プルアップ機能を発揮させた場合）の形態の動作を示すタイミングチャートである。

図24は、本発明のレベル変換装置の第3の実施（プルダウン機能を発揮させた場合）の形態の動作を示すタイミングチャートである。

図25は、第2実施形態の変形例の構成を示す図である。

図26は、第2実施形態の変形例に使用される制御回路の例を示す図である。

図27は、第2実施形態の変形例に使用されるプルダウン回路の例を示す回路図である。

図28は、第2実施形態の変形例に使用されるプルダウン回路の別の例を示す回路図である。

図29は、本発明のレベル変換装置の第2の実施の形態の変形例の構成を示す図である。

図30は、第2の実施の形態の変形例に使用されるプルアップ回路の例を示す回路図である。

図31は、第2の実施の形態の変形例に使用されるプルアップ回路の別の例を示す回路図である。

図32は、本発明のレベル変換装置の第3の実施の形態の構成例を示す図である。

図33は、第3の実施の形態に使用されるレベル変換コア回路の例を示す回路図である。

図34は、第3の実施の形態に使用される制御回路の例を示す回路図である。

図35は、本発明のレベル変換装置の第3の実施の形態の動作を示すタイミングチャートである。

図36は、第3の実施の形態に使用される制御回路の別の例を示す回路図である。

図37は、本発明のレベル変換装置の第3の実施の形態の動作を示すタイミングチャートである。

図38は、第2実施形態の他の変形例を示す構成図である。

なお、符号1は、レベル変換コア回路である。符号2は、制御回路である。符号3は、プルアップ／プルダウン回路である。符号3-1は、プルアップ回路である。符号3-2は、プルダウン回路である。符号4は、第1の論理回路である。符号5は、第2の論理回路である。

発明を実施するための最良の形態

以下添付した図面を参照しながら、実施の形態によって、本発明を詳細に説明する。

本発明によるレベル変換回路の1つは、レベル変換出力に第2の電源が供給されるプルアップおよび／またはプルダウン回路と、第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とする制御回路を設け、この制御信号により前記プルアップおよび／またはプルダウン回路を制御する構成を設けたことを特徴としている。

この第2の電源が供給されるプルアップおよび／またはプルダウン回路は、プルアップ機能を実現するMOSトランジスタのドレイン－ソース間電圧を増加させ、(MOSトランジスタが飽和領域動作であっても)、駆動電流を増加するという動作(作用)を実行する。

また、第2の電源が供給される制御回路を設けることにより、プルアップおよび／またはプルダウン機能を実現するMOSトランジスタのゲート－ソース間電圧を増加させ、駆動電流を増加するという動作(作用)を実行する。

また、第2の電源が供給される制御回路により制御されるプルダウン機能を設けることにより、プルダウン能力を強化するという動作(機能)を実行(発揮)する。

従って、プルアップ能力とプルダウン能力が増加し、p-MOSクロスカップルラッチ部の反転を補助するという効果という効果が得られる。

さらに、本発明によるレベル変換回路は、第2の電源が供給される制御回路の制御信号により、レベル変換コア回路のp-MOSクロスカップルの結合度を制御するという構成を設けたことを特徴としている。第2の電源レベルで結合度を調整するp-MOSスイッチを制御することにより、p-MOSトランジスタのゲート－ソース間電圧を0にまで削減でき、p-MOSクロスカップルラッチ部の結合度を十分小さくできるという動作(機能)を実行する。

＜第1実施形態＞

図7に、本発明のレベル変換回路の一実施の形態を示す。本レベル変換回路は、第1の電源(VDDL)が供給される第1の論理回路4の信号レベルを第2の電源(VDDH)が供給される第2の論理回路5の信号レベルに変換するものであり、本発明は、レベル変換コア回路1を有する。この第1の論理回路4からの第1の電源レベルの信号INLとINLBは、レベル変換コア回路1に供給され、第2の電源レベルへの変換を開始する。

本発明に係るレベル変換回路では、上記したレベル変換コア回路1に、さらに、第2の電源が供給される制御回路2と、第2の電源が供給されるプルアップおよび／またはプルダウン回路3とが設けられている。

この制御回路2は、レベル変換入力信号(INL,INLB)とレベル変換出力信号

(OUTH、OUTHB)とを入力として、プルアップおよび／またはプルダウン回路3の制御信号(C0～C3)を生成し、プルアップ／プルダウン回路3はこの制御信号(C0～C3)に従ってレベル変換出力信号(OUTH、OUTHB)をプルアップおよび／またはプルダウンし、これに基づいてレベル変換動作を行う。

こうして得られたレベル変換出力信号(OUTH、OUTHB)の少なくとも1つの信号は、第2の論理回路5に供給される。

図7のレベル変換回路に使用されるレベル変換コア回路1の一例を図8に示す。この図8に示すように、本発明に使用されるレベル変換コア回路1は、第2の電源(VDDH)が各p-MOS110のソース端子に接続され、2種類のレベル変換出力信号OUTHBおよびOUTHが前記複数のp-MOSの各ドレイン端子に接続され、これらのp-MOSのドレイン端子が他のp-MOSのゲート端子にそれぞれクロスカップル接続され、前記OUTHBがドレイン端子に接続され、INLがゲート端子に接続されGND電源がソース端子に接続されたn-MOS103と、OUTHをドレイン端子に接続しINLBをゲート端子に接続しGND電源をソース端子に接続したn-MOS104とからなる。図8において、p-MOSは2個使用され、n-MOSは、2個使用されているが、前記p-MOS2個からなるクロス回路は、複数のクロス回路からなっていてもよい。すなわち、図8に示された回路を複数並列に接続等して、レベル変換コア回路を設けることもできる。

図7のレベル変換回路に使用される制御回路2の一例を図9に示す。

すなわち、この図に例示される制御回路2は、第2の電源(VDDH)が供給され、INLとOUTHBを入力としC0を出力とする第1のNAND回路1021と、第2の電源(VDDH)が供給され、INLBとOUTHを入力としC1を出力とする第2のNAND回路1022と、前記第2の電源(VDDH)が供給され、前記第1のNAND回路1021の出力C0を入力としC3を出力とする第1のインバータ1023と、前記第2の電源(VDDH)が供給され、前記第2のNANDの出力C1を入力としC2を出力とする第2のインバータ1024とからなる。

また、図7に示すレベル変換回路に使用されるプルアップ／プルダウン回路3の一例を図10に示す。この図に例示するように、本発明に係るレベル変換回路に使用されるプルアップ／プルダウン回路3は、第2の電源(VDDH)がソース

端子に、C0 がゲート端子に、OUTH がドレイン端子にそれぞれ接続された第 1 の p-MOS 1031 と、第 2 の電源 (VDDH) がソース端子に、C1 がゲート端子に、OUTHB がドレイン端子にそれぞれ接続された第 2 の p-MOS 1032 と、GND 電源がソース端子に、C2 がゲート端子に、OUTH がドレイン端子にそれぞれ接続された第 1 の n-MOS 1033 と、GND 電源がソース端子に、C3 がゲート端子に、OUTHB がドレイン端子にそれぞれ接続された第 2 の n-MOS 1034 とからなる。

前記図 9 に示す NAND 回路 1021、1022 は、たとえば図 11 に示すように構成されている。図 11 において、レベル変換入力 (INL または INLB のいずれか) を、出力端子に近い n-MOS に接続している。この例に示すように、出力端子から遠い n-MOS に接続する場合に比べてゲート遅延を少なくすることが可能である。またレベル変換の入力は第 1 の電源レベルであるので、第 2 の電源との電位差が大きくなったり、n-MOS の閾値 (Vt) が大きくなったり、特に基板効果による n-MOS の閾値の上昇の影響が大きくなったりの場合に、出力端子に近い n-MOS にレベル変換入力 (INL または INLB のいずれか) 接続すると、遅延が大きくなる場合がある。このような場合には、基板効果の影響の小さい出力端子から遠い n-MOS 2 にレベル変換入力を接続し、出力端子から遠い n-MOS に OUTH または OUTHB を入力することによって、前記遅延を小さくすることができる。

また、レベル変換入力の接続される p-MOS は、レベル変換入力の High レベルが第 2 の電源までいかないため、p-MOS 閾値によってはオフせず、また n-MOS は十分にオンしないような NAND 動作が困難になる場合には、たとえば p-MOS のチャネル幅/チャネル長の比 (W/L) を小さくしたり、閾値を増加 (極性が負で絶対値を増加) させたり、あるいは n-MOS の W/L を大きくしたり閾値を減少させるなどの操作を、単独で、あるいは 2 以上組み合わせることにより NAND 動作を保証させることができる。

また、論理動作が可能であっても、p-MOS の W/L を小さくしたり、閾値を増加 (極性が負で絶対値を増加、例えば VDDL-VDDH 以下に) することによって、NAND リークを抑制可能である。図 11 において、INL or INLB と表記さ

れているのは、INL か INLB が入力されることを意味し、同様に、OUTH or OUTHB と表記されているのは、OUTH か OUTHB が入力されることを意味する。但し、入力の組み合わせは、INL 入力の場合には、OUTHB との組み合わせが、また、INLB 入力の場合には、OUTH との組み合わせである。この入力の組み合わせは、図 12 においても同様である。

図に示す第 1 の論理回路 4、第 2 の論理回路 5、インバータは、公知のものを使用することができ、また本発明とは直接関係しないので、その詳細な構成および動作例の説明を省略する。

以下、本発明に係るレベル変換装置の第 1 実施の形態の動作について説明する。

まず、本発明に係るレベル変換装置の第 1 実施形態に使用されるレベル変換コア回路の動作について、図 13 のタイミングチャートを用いて説明する。差動の電源レベルでのレベル変換動作であるので、INL と INLB は第 1 の電源レベルで差動回路（レベル変換回路）に入力され、High レベルの入力する n-MOS に接続される側の出力（OUTH または OUTHB）が Low に引き落とされ、反対側の出力が第 2 の電源レベルの High レベルに引き上げられる。

一方、本発明のレベル変換回路の動作を説明すると、図 14 のタイミングチャートに示すように、初めに INL が Low、INLB が High、OUTH が Low、OUTHB が High とする。まず第 1 の論理回路 4 から出力された INL が High (INLB が Low) に遷移すると、信号 INL が入力された制御回路 2 により C0 は Low を出力して OUTH に接続されたプルアップおよび／またはプルダウン回路 3 中の p-MOS がオンして OUTH をプルアップするとともに制御回路 2 から出力される C3 は High を出力して OUTHB に接続されたプルアップおよび／またはプルダウン回路 3 中の n-MOS がオンして OUTHB をプルダウンし、同時にレベル変換コア回路 1 の動作により OUTHB が Low に引き下げられると、これにより制御回路 2 から出力される C0 は High を出力してプルアップおよび／またはプルダウン回路 3 中の p-MOS はオフとなりプルアップを終えるとともに制御回路から出力される C3 は Low を出力してプルアップおよび／またはプルダウン回路 3 中の n-MOS はオフとなりプルダウンを終える。そして、INL が High、INLB が Low、OUTH が High、OUTHB が Low となる。

次に、第1の論理回路4から出力されたINLBがHigh(INLがLow)となると、信号INLBが入力された制御回路2によりC1はLowを出力してOUTHBに接続されたプルアップおよび/またはプルダウン回路3中のp-MOSがオンに遷移して、OUTHBをプルアップするとともに、制御回路2から出力されるC2はHighを出力して、OUTHに接続されるプルアップおよび/またはプルダウン回路3中のn-MOSがオンに遷移してOUTHをプルダウンし、同時にレベル変換コア回路1の動作によりOUTHがLowに引き下げられる(プルダウンされる)と、制御回路2によりC1はHighを出力して、プルアップおよび/またはプルダウン回路3中のp-MOSはオフとなり、プルアップを終えるとともに、制御回路2によりC2はLowを出力して、プルアップおよび/またはプルダウン回路3中のn-MOSはオフとなり、プルダウンを終える。そして、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighとなり、これによって最初と同様の状態になる。

このように、レベル変換入力が変化する際に、第2の電源が供給される制御回路2とプルアップ/プルダウン回路3とにより、必要な側のレベル変換出力をプルアップ/プルダウンしているので、レベル変換コア回路1の動作が補助可能となる。

従って、第1の電源と第2の電源の電位差が大きくなっても、レベル変換動作マージンを確保するとともに遅延の増加を図14の点線に示した立上りまたは立下り時間の遅延(立上りまたは立下りの勾配の低下)および立上りまたは立下りの遅延(立上りまたは立下りのタイミングの遅れ:立上りまたは立下りの開始時間の遅れ)を、実線で示すように抑制することが本発明では可能となった。

さらに、本実施の形態では、制御回路2はレベル変換出力信号を入力として設けているので、レベル変換入力切り換わり時のプルアップ/プルダウン回路3により、必要な時にだけプルアップ/プルダウン動作が行える。この結果、第1の電源レベルが入力される制御回路におけるp-MOSオフ電流を削減する回路構成(NAND回路)を選択することができる。

しかも、補助動作終了後、プルアップ/プルダウン回路3はオフする論理となっているので、レベル変換回路の動作を妨げず、あるいは必要以上に遅延させる

ことがないため、本発明に係るレベル変換回路は、高速動作が可能という効果も有する。

＜第1実施形態の変形例1＞

上記形態において、p-MOS オフ電流を削減する回路構成として、図9に示すような NAND 回路の構成に替えて、図15に示すような NOR 回路構成を採用することができる。但し、NOR 回路の p-MOS オフ電流を防止するために、レベル変換入力が接続される p-MOS の閾値を増加 ($VDDL - VDDH = R$ 以下) する必要がある。この時、ゲート遅延削減と基板効果を利用するため、この NOR 回路を、図12に示すように、出力端子に近い p-MOS に接続する構成を採用することが好ましい。なお前記 $VDDL - VDDH$ 値 R は、負の値であって、 R の絶対値が増加した場合に閾値 Vt が増加することを意味する。

＜第1実施形態の変形例2＞

本発明に係る第1の実施の形態のレベル変換回路は、レベル変換コア回路1等を図8に示す第1実施形態で説明した回路とは異なる他の回路構成で実現することが可能である。例えば、図16に示すような p-MOS クロスカップルのドレイン側に p-MOS スイッチを設けた回路の構成とすることもできる。この動作は、前記実施形態1の動作と同様であるため、その説明を省略する。本実施形態の変形例に示すような、図16に示すレベル変換コア回路1を採用することによって、第1の電源電圧 (VDDL) が低下した場合に、図8に示すレベル変換コア回路の p-MOS クロスカップルの結合度を、さらに低下させることができる。すなわち、図16に示すように、p-MOS クロスカップル (一対の p-MOS) と、一対の p-MOS スイッチ (一対のその他の p-MOS) と、一対の n-MOS とを有するレベル変換コア回路であって、第2の電源 (VDDH) がクロスカップルの各 p-MOS 110 (前記一対の p-MOS) のソース端子に接続され、2種類のレベル変換出力信号 OUTHB および OUTH が前記 p-MOS クロスカップルの各ゲート端子および前記 p-MOS スイッチの一方のドレイン端子にそれぞれ接続され、前記 p-MOS スイッチのドレイン端子が前記 p-MOS の一方のソース端子にそれぞれ接続され、前記 OUTHB が前記 p-MOS スイッチのもう一方のドレイン端子に接続され、前記 OUTHB がドレイン端子に INL がゲート端子に GND 電源がソ

ース端子に接続された n -MOS 103 と、OUTH がドレイン端子に INLB がゲート端子に GND 電源がソース端子に接続された n -MOS 104 とを有して構成されている。このように、p-MOS 111 と 112 とからなる p-MOS スイッチャー対を前記した間に p-MOS クロスカップルと n -MOS 間に設けることによって、当該 1 対のクロスカップルを形成する p-MOS クロスカップル間のクロス結合の強さを低下させて、high \leftrightarrow Low の遷移の高速化を図ることができる。

このような図 16 に示すレベル変換コア回路 1 を採用した場合には、制御回路 2 として、前記したような図 9 に示す NAND 回路を有する制御回路 2 (NAND 回路として、例えば前記同様に、図 11 に示す回路を選択することが好ましい)、あるいは、前記変形例 1 と同様の NOR 構成を有する図 15 で示される制御回路 2 (好ましくは、図 12 で示される NOR 回路を採用することが、前記同様、好ましい) を採用することができる。

<第 1 実施形態の変形例 3>

レベル変換コア回路 1 を、図 8 または図 16 以外に、図 17 に示す回路 1 を用いることができる。このレベル変換回路 1 には、レベル変換出力に第 1 の電源 VDDL が接続され、レベル変換入力信号で制御される回路を第 1 実施形態に係るレベル変換回路に、レベル変換コア回路 1 として採用することもできる。このようなレベル変換コア回路 1 を用いたレベル変換回路は、 n -MOS 103 が High に遷移するのを手助けし、もう一方の n -MOS 104 が Low になるのを手助けすることできる。これによって、レベル変換の動作の高速化が可能となり、また第 1 の電源と第 2 の電源との格差が大きくなった場合のレベル変換マージンとを確保することができる。

このレベル変換回路の動作も前記第 1 実施形態と同様であり、その説明を省略する。なお本変形例 3 においても、前記変形例 2 と同様の制御回路 2 の組み合わせの変更が可能である。すなわち、制御回路 2 として、前記同様、図 9 に示す NAND 回路を有する制御回路 2 (NAND 回路として、例えば前記同様に、図 11 に示す回路を選択することが好ましい)、NOR 構成を有する図 15 で示される制御回路 2 (好ましくは、図 12 で示される NOR 回路を採用することが、前記同様、好ましい) を挙げることができる。

<第2実施形態>

本発明に係るレベル変換回路の第2実施形態について説明する。本実施形態では、図18に示すように、前記第1実施形態のプルアップ/プルダウン回路3のプルダウン機能を省略することが可能である。図18に採用される構成例において、図19、または図6に示す制御回路2の構成と、図20のプルアップ回路とを組み合わせて用いたり、または、図21に示す制御回路を用い、それぞれ図22に示されるプルアップ回路3-1を組み合わせて用いることができる。この図21に示す制御回路2は、制御信号C0、C1を出力するような他の制御回路、たとえば図19又は図6に置換して行うことができる。ただし、この置換後に、プルアップ回路を上述した図22に示すプルアップ回路3-1から、このプルアップ回路と極性が反対の図20に示すプルアップ回路3-1に変更する。

<第2実施形態の動作例>

次に第2実施形態の動作例を説明する。

図23のタイミングチャートに示すように、初めにINLがLow、INLBがHigh、OUTHがLow、OUTHBがHighとする。プルアップ回路のみの機能を使用した場合には、図23に示すように、まずINLがHighに遷移すると、C0はLowを出力してOUTHに接続されたp-MOSがオンしてOUTHをプルアップし、同時にレベル変換コア回路の動作によりOUTHBがLowに引き下げられると、C0はHighを出力してp-MOSはオフとなりプルアップを終える。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTHBがLowとなる。

次に、INLBがHigh(INLがLow)となると、C1はLowを出力してOUTHBに接続されたp-MOSがオンに遷移してOUTHBをプルアップし、同時にレベル変換コア回路の動作によりOUTHがLowに引き下げられると、C1はHighを出力して、p-MOSはオフとなり、プルアップを終える。そして、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighとなり、これによって最初と同様の状態になる。

<第2実施形態の変形例>

本第2の実施形態の変形例では、図25に示すように、プルアップ機能の省略

をすることができる（この時、図26または図4で示される制御回路1と、図27で示されるプルダウン回路3-2とを組み合わせて用いるか、または図5に示される制御回路2と、図28で示されるプルダウン回路3-2を組み合わせて用いることができる）。本変形例1では、制御信号として、C2およびC3を用いた例を示す。

また前記図27を用いたプルダウン回路3-1（n-MOS（トランジスタ）構成）を、図28に示すp-MOS（トランジスタ）構成のプルダウン回路に置換可能である。すなわち、レベル変換コア回路1を図8に示す回路にし、制御回路2を図26、図4のいずれかから図5にした場合に、プルダウン回路3-2として、図27から図28に置換してレベル変換回路を構成することができる。ただし、これらの組み合わせは、極性に合わせて決める必要がある。

このような、第2実施形態の変形例に示すプルダウン回路のみの機能を使用した場合には、図24に示すように、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighの場合、INLがHigh（INLBがLow）となるとC3はHighを出力し、その結果、OUTHBに接続されるn-MOSがオンしてOUTHBをプルダウンし、同時にレベル変換コア回路の動作によりOUTHがhighに引き上げられると、C3はLowを出力してn-MOSはオフとなりプルダウンを終える。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTHBがLowになる。

次に、INLBがHigh（INLがLow）となると、C2はHighを出力してOUTHに接続されるn-MOSがオンに遷移してOUTHをプルダウンし、同時にレベル変換コア回路の動作によりOUTHBがHighに引き上げられると、C2はLowを出力してn-MOSはオフとなりプルダウンを終える。そして、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighとなる。

このように、レベル変換入力が変化する際に、第2の電源が供給される制御回路とプルアップまたはプルダウン回路により、必要な側のレベル変換出力をプルアップまたはプルダウンしているので、レベル変換コア回路の動作が補助可能となる。

従って、第1の電源と第2の電源の電位差が大きくなっても、レベル変換動作

マージンを確保するとともに遅延の増加を抑制できる。

本実施形態では、上述したように、制御信号として、2種類の信号を用いることにより、レベル変換をなしうる回路構成としているが、この2種類の信号は、第1実施形態で使用されている制御信号C0～C3のうちの2つから選択される信号を用いることができるが、上述したC0とC1の2つの信号を出力するような制御回路2を使用して、制御する図18に示す構成と、たとえば図25に示す構成を示すことができ、これら、2つの信号を用いて制御する制御回路2を用い、プルアップおよび／またはプルダウン回路3を制御回路が outputする制御信号に基づいて適宜変更する構成は、本実施形態に含まれる。

＜第3実施形態＞

本発明に係るレベル変換回路の第3の実施形態は、図29に示すように、第1の電源VDDLが入力される第1の論理回路4から出力されるINLまたはINLB信号によりプルアップするプルアップ回路3-1と、前記INLおよび／またはINLB信号と、第2の電源VDDHとを入力し、OUTHおよび／またはOUTH信号を出力するレベル変換コア回路とからなる。この前記OUTHおよび／またはOUTH信号は、外部の第2の電源を入力する第2の論理回路に出力される。

本第3実施形態は、第2実施形態において、プルダウン機能を省略した場合に相当する。そして本実施形態では、制御回路2も省略することが可能である。このように、レベル変換入力を第2の電源が供給されるプルアップ回路に直接接続すると、ドレンソース間電圧を増加でき、本変形例2のレベル変換装置は、レベル変換が有効である（飽和領域であっても、ドレン電流はドレンソース間電圧が増加すると増える）。この時、図30あるいは図31のプルアップ回路を用いることが出来、特に図31では、p-MOSの閾値を前記したようなVDDL・VDDH値以下の領域でオフリーグを低減可能とすることができます。

このような本発明に係るレベル変換回路の第3の実施形態の動作例を説明すると、図13のタイミングチャートに示すように、初めにINLがLow、INLBがHigh、OUTHがLow、OUTHがHighとする。まず第1の論理回路4から出力されたINLがHighに遷移すると、信号INL（プルアップ回路の入力信号であるのでC0と表記）は、OUTHに接続されたプルアップ回路3-1中の

n-MOS がオンして OUTH をプルアップする。このとき INLB (プルアップ回路の入力信号であるので前記同様に C1 と表記) は Low であるので、OUTHB が入力される他の n-MOS はオフとなっている。次いでレベル変換コア回路 1 の動作により OUTHB が Low に引き下げられると、C0 は High を出力してプルアップ回路 3-1 中の n-MOS はオフとなりプルアップを終える。そして、INL が High、INLB が Low、OUTH が High、OUTHB が Low となる。

次に、第 1 の論理回路 4 から出力された INL が High (INLB が Low) となると、信号 INLB (C1) は Low を出力して OUTHB に接続されたプルアップ回路 3-2 中の n-MOS がオンに遷移して、OUTHB をプルアップする。C1 は High を出力して、プルアップ回路 3-1 中の n-MOS はオフとなり、プルアップを終える。そして、INL が Low、INLB が High、OUTH が Low、OUTHB が High となり、これによって最初と同様の状態になる。この変形例 2 の動作は、図 30 のプルアップ回路 3-1 を用いた場合を例示したが、プルアップ回路 3-1 を、図 31 に示すプルアップ回路が用いられた場合には、INL 信号がゲートに入力する p-MOS には、OUTHB 信号が入力され、INLB 信号がゲートに入力される p-MOS には、OUTH 信号が入力される。そしてこのような p-MOS が使用されるプルアップ回路が採用されたレベル変換回路では、n-MOS が使用された前記したプルアップ回路 3-1 の基本動作と基本的には同様である。ただし、p-MOS が n-MOS と極性が反転しているので、ON、OFF 動作が、前記したプルアップ回路 3-1 の基本動作と反転しており、この反転するところが異なっている。

＜第 4 実施形態＞

第 4 実施形態のその基本的構成は、上記した実施形態と同様である。本実施形態では、レベル変換コア回路 1 の構成に従って使用される制御回路 2 を、さらに工夫している。その構成を図 32 に示す。

本図において、図 16 に記載のレベル変換コア回路における p-MOS スイッチ制御信号の生成機能をさらに追加している。

レベル変換コア回路 1 と制御回路 2 の例を、図 33 および図 34 にそれぞれ示す。このような本第 4 実施形態で使用される図 10 で示されるプルアップ/プルダウン回路 3 が好ましく用いられるが、プルアップ回路 3-1 を図 20、図 22、

図30および図31の中から選択される1つのプルアップ回路3-1と、プルダウン回路3-2を図27または図28のいずれかのプルダウン回路3-2を選択して用いることもできる。このようなレベル変換コア回路1と制御回路2を用いたレベル変換装置の動作のタイミングを、図35に示す。

即ち、INL が Low、INLB が High、OUTH が Low、OUTH_B が High の場合、第1の論理回路から出力された INL 信号が High (INLB が Low) となると制御回路2はこの INL 信号が入力されて C0 信号等を出力する。この出力された C0 は Low を出力して OUTH に接続されたプルアップおよび／またはプルダウン回路3内の p-MOS がオンして OUTH をプルアップするとともに制御回路2により C3 は High を出力し、その結果、プルアップおよび／またはプルダウン回路3内の OUTH_B に接続される n-MOS がオンして OUTH_B をプルダウンし、制御回路2により C4 は High を出力してレベル変換コア内の OUTH_B を High に保持する pMOS クロスカップル接続を切断し、同時にレベル変換コア回路1の動作により OUTH_B が Low に引き下げられると、制御回路2により C0 は High を出力してプルアップおよび／またはプルダウン回路3内の p-MOS はオフとなり、プルアップを終えるとともに、制御回路2により C3 は Low を出力してプルアップおよび／またはプルダウン回路3内の n-MOS はオフとなりプルダウンを終え、制御回路2により C4 は Low を出力してレベル変換コア内の p-MOS スイッチはオンとなる。そして、INL が High、INLB が Low、OUTH が High、OUTH_B が Low になる。

次に、外部の第1の論理回路4により INLB が High (INL が Low) となると、この信号が入力されて制御回路2により、C1 は Low を出力して OUTH_B に接続されるプルアップおよび／またはプルダウン回路3内の p-MOS がオンに遷移して OUTH_B をプルアップするとともに、制御回路2により C2 は High を出力して OUTH に接続されるプルアップおよび／またはプルダウン回路3内の n-MOS がオンに遷移して OUTH をプルダウンし、制御回路2により C5 は High を出力してレベル変換コア内の OUTH を High に保持する pMOS クロスカップル接続を切断し、同時にレベル変換コア回路1の動作により OUTH が Low に引き下げられると、制御回路2により C1 は High を出力してプルアップおよび／

またはプルダウン回路3内のp-MOSはオフとなりプルアップを終えるとともに、制御回路2によりC2はLowを出力してプルアップおよび/またはプルダウン回路3内のn-MOSはオフとなりプルダウンを終え、制御回路によりC5はLowを出力してレベル変換コア内のp-MOSスイッチはオンとなる。そして、INLがLow、INLBがHigh、OUTHがLow、OUTHbがHighとなる。なおここでプルアップおよび/またはプルダウン回路3内のn-MOS(トランジスタ)、p-MOS(トランジスタ)は、上記したような図10で示される構成を採用した場合について説明した。しかしながら、n-MOSをp-MOSに入れ替えおよび/またはp-MOSをn-MOSに入れ替えた構成を採用した場合には、OUTH信号とOUTHb信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

このように、本第4の実施形態では、レベル変換入力変化時に、p-MOSクロスカップ結合をより大きく抑制でき、レベル変換動作マージンの確保、高速化、さらには貫通電流の低減化という効果が得られる。すなわち、図35の点線に示したような一般的なレベル変換回路に見られるOUTHまたはOUTHbの立上りおよび立下り時間(立上りまたは立下りの勾配)を本発明では、実線に示したように高速化(急勾配)するとともに、立上りまたは立下りのタイミングを早めることができる。

本構成において、制御回路1を、図34に示す回路に代えて、図36に示すようなNOR回路構成としてもよい。すなわち、レベル変換コア回路1を、図33に示す回路を用い、制御回路1を図36に示す回路に変更する。

〈第4実施形態の変形例〉

また、プルアップおよび/またはプルダウン回路3の一方の機能を省略した構成を採用することができる。このようなプルアップ回路3-1またはプルダウン回路3-2は、前記した図20、図22、図30または図31から選択されるプルアップ回路3-1、図27または図28から選択されるプルダウン回路3-2の1つであり、図33に示すレベル変換コア回路1等の第4実施形態で使用されるレベル変換コア回路1が用いられる。ここで使用される制御回路は、プルアップ回路3-1またはプルダウン回路3-2が選択された場合に、前記第2実施形

態、第2実施形態の変形例、第3実施形態で説明したプルアップ回路3-1またはプルダウン回路3-2と組み合わせることのできる制御回路2を選択することができる。

このような第4実施形態の変形例の動作は、プルアップ回路3-1が選択された場合には、図23で示されるタイミングチャートに従い、また、プルダウン回路3-2が選択された場合には、図24または図37で示されるタイミングチャートに従って、動作が行われる。

すなわち、プルアップ回路3-1が選択された場合には、図23に示すように、INLがLow、INLBがHigh、OUTHがLow、OUTH_BがHighの場合、第1の論理回路から出力されたINL信号がHigh(INLBがLow)となると制御回路2はこのINL信号が入力されてC0信号等を出力する。この出力されたC0はLowを出力してOUTHに接続されたプルアップ回路3-1内のp-MOSがオンしてOUTHをプルアップし、制御回路2によりC4はHighを出力してOUTH_Bに接続されるプルアップ回路3-1内のp-MOSスイッチをオフしてOUTH_Bのプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTH_BがLowに引き下げられると、制御回路2によりC0はHighを出力してプルアップ回路3-1内のp-MOSはオフとなり、プルアップを終える。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTH_BがLowになる。

次に、外部の第1の論理回路4によりINLBがHigh(INLがLow)となると、この信号が入力されて制御回路2により、C1はLowを出力してOUTH_Bに接続されるプルアップ回路3-1内のp-MOSがオンに遷移してOUTH_Bをプルアップし、制御回路2によりC5はHighを出力してOUTHに接続されるプルアップ回路3-1内のp-MOSスイッチをオフに遷移してOUTHのプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTHがLowに引き下げられると、制御回路2によりC1はHighを出力してプルアップ回路3-1内のp-MOSはオフとなりプルアップを終える。制御回路によりC5はLowを出力してプルアップ回路3-1内のp-MOSスイッチはオンとなる。そして、INLがLow、INLBがHigh、OUTHがLow、OUTH_BがHighとなる。なおここでプルアップ回路3-1内のn-MOS(トランジスタ)、p-MOS(トランジスタ)

は、上記したような図20で示される構成を採用した場合について説明した。しかしながら、n-MOSをp-MOSに入れ替えおよび／またはp-MOSをn-MOSに入れ替えた構成を採用した場合には、OUTH信号とOUTHB信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

また、プルダウン回路3-2が採用された場合には、以下のようになる。

即ち、図24または図37に示すように、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighの場合、第1の論理回路から出力されたINL信号がHigh (INLBがLow)となると制御回路2はこのINL信号が入力されてC3信号等を出力する。この出力されたC3はHighを出力し、その結果、プルダウン回路3-2内のOUTHBに接続されるn-MOSがオンしてOUTHBをプルダウンし、同時にレベル変換コア回路1の動作によりOUTHがHighに引き上げられると、制御回路2によりC3はLowを出力してプルダウン回路3-2内のn-MOSはオフとなりプルダウンを終える。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTHBがLowになる。

次に、外部の第1の論理回路4によりINLBがHigh (INLがLow)となると、この信号が入力されて制御回路2により、C2はHighを出力してOUTHに接続されるプルダウン回路3-2内のn-MOSがオンに遷移してOUTHをプルダウンし、同時にレベル変換コア回路1の動作によりOUTHがLowに引き下げられると、制御回路2によりC2はLowを出力してプルダウン回路3-2内のn-MOSはオフとなりプルダウンを終える。そして、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighとなる。なおここでプルアップおよび／またはプルダウン回路3内のn-MOS(トランジスタ)、p-MOS(トランジスタ)は、上記したような図27で示される構成を採用した場合について説明した。しかしながら、n-MOSをp-MOSに入れ替えおよび／またはp-MOSをn-MOSに入れ替えた構成を採用した場合には、前記同様に、OUTH信号とOUTHB信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

＜第5実施形態＞

本実施形態は、第4実施形態において使用した図33に示すレベル変換コア回路1を用いた例であり、図38に示すように、プルアップ/プルダウン回路の両方を省略した構成である。本第5実施形態では、レベル変換コア回路1および制御回路2は、第4実施形態で説明したのと同様のものを用いることができる。すなわち、レベル変換コア回路1として、図33に示すレベル変換コア回路1を採用し、制御回路2として、図34または図36に示す制御回路2を採用する。すなわち、本第5実施形態のレベル変換回路は、制御回路2と、レベル変換コア回路1とからなり、制御回路2は、第1の論理回路からの出力信号 INL と INLB および第1の電源 VDDH を入力して、レベル変換コア回路1を制御する制御信号 (C4、C5 など) を出力し、レベル変換コア回路1は、制御回路から出力された信号と、第1の論理回路からの信号 INL、INLB および第2の電源 VDDH を入力して、第2の論理回路を制御するための信号 OUTH、OUTHB を出力する。また前記レベル変換コア回路から出力された OUTH、OUTHB 信号は、前記制御回路に入力される。このように、図36に示す制御回路のように、制御信号 C4、C5 を出力するために、インバーター回路が不要となる回路を採用することができる。

このような、本第5の実施形態に示されるレベル変換回路では、図37に示すタイミングチャートに従って動作される。

すなわち、INL が Low、INLB が High、OUTH が Low、OUTHB が High の場合、第1の論理回路から出力された INL 信号が Low (INLB が High) となると制御回路2は、この INL 信号が入力されて C4 信号等を出力する。この出力された C4 は Low を出力し、この C4 が入力されたレベル変換コア回路1内の p-MOS がオンして OUTHB をプルアップする。その結果、制御回路2により C4 は High を出力して OUTHB に接続されるレベル変換コア回路1内の p-MOS スイッチをオフして OUTHB のプルアップを抑制し、同時にレベル変換コア回路1の動作により OUTHB が Low に引き下げられると、この OUTHB がゲートに入力されるレベル変換コア回路内の p-MOS はオンとなり、C5 がゲートに入力されるレベル変換コア回路内の p-MOS もオンとなり、他方のプルアップを終えるとともに、制御回路2により C3 は Low を出力してプルアップお

および／またはプルダウン回路3内のn-MOSはオフとなりプルダウンを終え、制御回路2によりC4はLowを出力してプルアップおよび／またはプルダウン回路3内のp-MOSスイッチはオンとなる。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTHbがLowになる。

次に、外部の第1の論理回路4によりINLBがHigh(INLがLow)となると、この信号が入力されて制御回路2により、C4はLowを出力してOUTHbに接続されるレベル変換回路1内のp-MOSがオンに遷移してOUTHbをプルアップするとともに、制御回路2によりC5はHighを出力してOUTHに接続されるレベル変換コア回路1内のn-MOSがオンに遷移してOUTHをプルダウンし、制御回路2によりC5はHighを出力してOUTHに接続されるレベル変換コア回路1内のp-MOSスイッチをオフに遷移してOUTHのプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTHがLowに引き下げられると、制御回路2によりC4はHighを出力してレベル変換コア回路1内のp-MOSはオフとなりプルアップを終えるとともに、制御回路2によりC5はLowを出力してレベル変換コア回路1内のn-MOSはオフとなりプルダウンを終え、制御回路によりC5はLowを出力してレベル変換コア回路1内のp-MOSスイッチはオンとなる。そして、INLがLow、INLBがHigh、OUTHがLow、OUTHbがHighとなる。なおここでプルアップおよび／またはプルダウン回路3内のn-MOS(トランジスタ)、p-MOS(トランジスタ)は、上記したような図33で示される構成を採用した場合について説明した。しかしながら、n-MOSをp-MOSに入れ替えおよび／またはp-MOSをn-MOSに入れ替えた構成を採用した場合には、OUTH信号とOUTHb信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

このようなプルアップおよび／またはプルダウン回路3の両方を省略した構成であっても、p-MOSスイッチを制御回路出力の第2の電源レベルでしっかり制御できるため、レベル変換動作マージン改善に有効である。

本第5実施形態のレベル変換コア回路1を、同様の機能を有するレベル変換コア回路に変更してもよい。なお、本発明が上記各実施形態に限定されずに解釈されるべきであり、本発明の技術思想の範囲内において、各実施形態は適宜変更可

能であり、これらの変形例も、当然に本発明に含まれる。なお図面中、p-MOSトランジスタには、ゲートの部分に丸(○)を書いて表示した。

上記した実施形態1～5では、第2の論理回路を制御する制御信号OUTHまたはOUTHbのうち、少なくとも1方を用いることができる。すなわち、第2の論理回路を制御するために、OUTHまたはOUTHbを用いるか、OUTHとOUTHbの両方をその目的に応じて、適宜、用いることができる。

産業上の利用可能性

以上説明したように、本発明によれば、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、第2の電源が供給されるレベル変換コア回路と第2の電源が供給される制御回路と第2の電源が供給されるプルアップ/プルダウン回路を設ける基本構成に基づき第1の電源と第2の電源の電位差が大きくなった場合にもレベル変換動作マージンの確保、遅延増加抑制を実現したレベル変換が得られる。

また、本発明によれば、レベル変換コア回路を有する基本構成とし、当該レベル変換コア回路を制御する制御信号を出力する制御回路および/または当該レベル変換コア回路により制御されるプルアップおよび/またはプルダウン回路を設ける基本構成に基づき第1の電源と第2の電源の電位差が大きくなった場合にもレベル変換動作マージンの確保、遅延増加抑制を実現したレベル変換が得られる。

請求の範囲

1. 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、制御回路が制御するおよび／またはプルアップおよび／またはプルダウン回路を制御するレベル変換コア回路を設け、

前記レベル変換コア回路は、前記第2の電源と、前記第1の論理回路からの出力信号を入力し、前記第2の論理回路に入力する信号を出力することを特徴とするレベル変換回路。

2. 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、レベル変換を実現するレベル変換コア回路と、レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、

前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設けたことを特徴とするレベル変換回路。

3. 前記レベル変換コア回路は、複数の p-MOS からなる p-MOS クロスカップルラッチと、複数の n-MOS からなる差動 n-MOS スイッチとを有し、

前記 p-MOS の各ソース端子が第2の電源に接続され、前記 p-MOS の各ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記差動 n-MOS スイッチの前記 n-MOS は、ソース端子が各 GND 電源に接続され、前記レベル変換出力に前記 n-MOS のドレイン端子が接続され、レベル変換入力に前記 n-MOS のゲート端子が接続されたことを特徴とする請求項1または2に記載のレベル変換回路。

4. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NAND 回路と、前記第2の電源が供給され前

記 NAND 回路の各出力を入力とする複数のインバータとからなり、前記 NAND 回路と前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項 2 または 3 に記載のレベル変換回路。

5. 前記 NAND 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいか、閾値の極性が負で絶対値が高い、少なくともいずれかの条件を有するトランジスタからなっていることを特徴とする請求項 4 記載のレベル変換回路。

6. 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力にそれぞれのドレイン端子が接続される複数の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子がそれぞれ接続される複数の n-MOS からなっていることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載のレベル変換回路。

7. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする複数のインバータとからなり、

前記 NOR 回路と前記インバータの各出力信号を制御信号として出力することを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のレベル変換回路。

8. 前記 NOR 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいか、閾値の極性は負で絶対値が高い少なくとも 1 つの条件のトランジスタからなっていることを特徴とする請求項 7 記載のレベル変換回路。

9. 前記レベル変換コア回路は、前記第 2 の電源に各ソース端子が、前記各レベル変換出力の各ゲート端子が接続された複数の p-MOS からなる p-MOS クロスカップルラッチと、前記複数の p-MOS のドレイン端子に各ソース端子が、前記各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された複数の p-MOS スイッチと、GND 電源に各ソース端子が、前記レ

ベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子がそれぞれ接続された複数の n-MOS からなる差動 n-MOS スイッチとなっていることを特徴とする請求項 1～8 のいずれか 1 項に記載のレベル変換回路。

10. 前記レベル変換コア回路は、前記第 2 の電源にそれぞれソース端子が、ゲート端子にそれぞれのドレイン端子であるレベル変換出力が接続された複数の p-MOS からなる p-MOS クロスカップルラッチと、GND 電源にそれぞれのソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力に各ゲート端子が接続された複数の n-MOS からなる差動 n-MOS スイッチと、前記第 1 の電源にそれぞれドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が接続された n-MOS を有することを特徴とする請求項 1～9 のいずれか 1 項に記載のレベル変換回路。

図 1

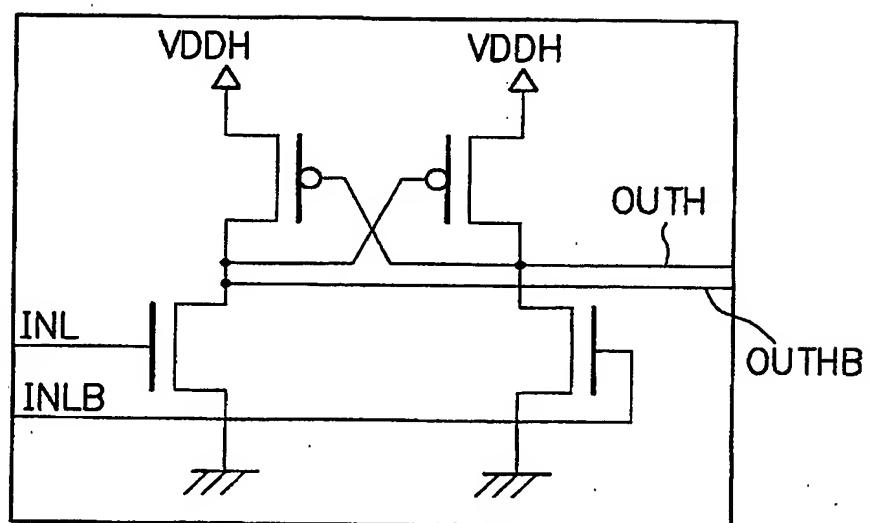


図 2

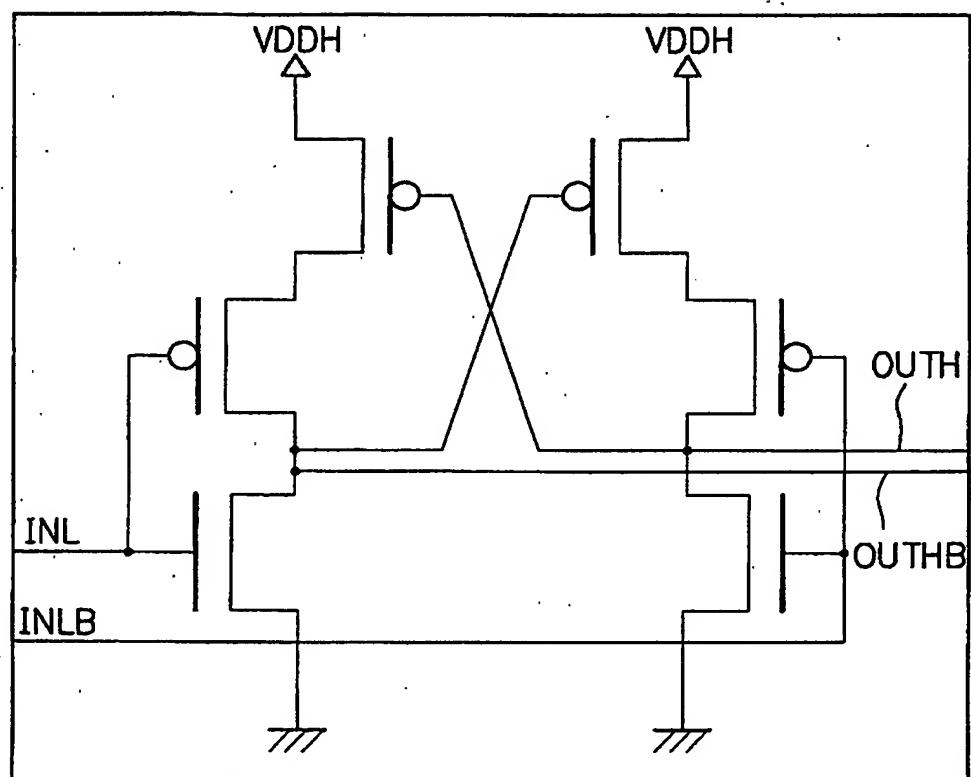


図 3

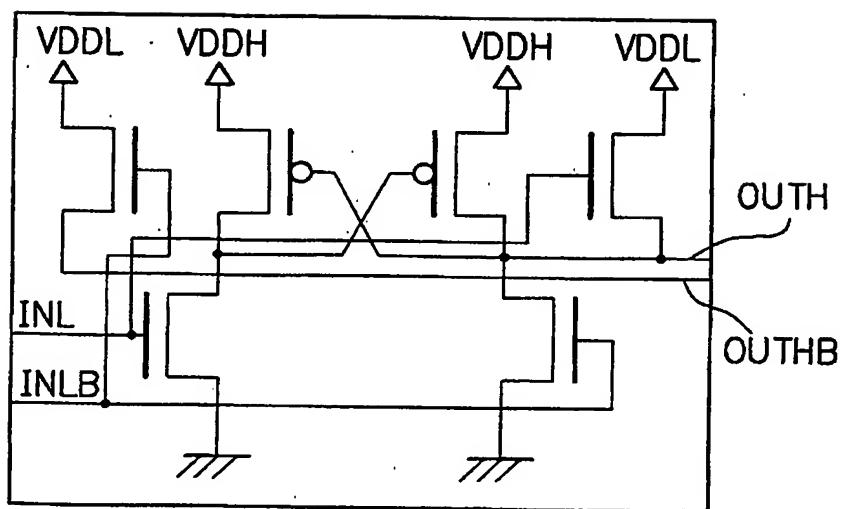
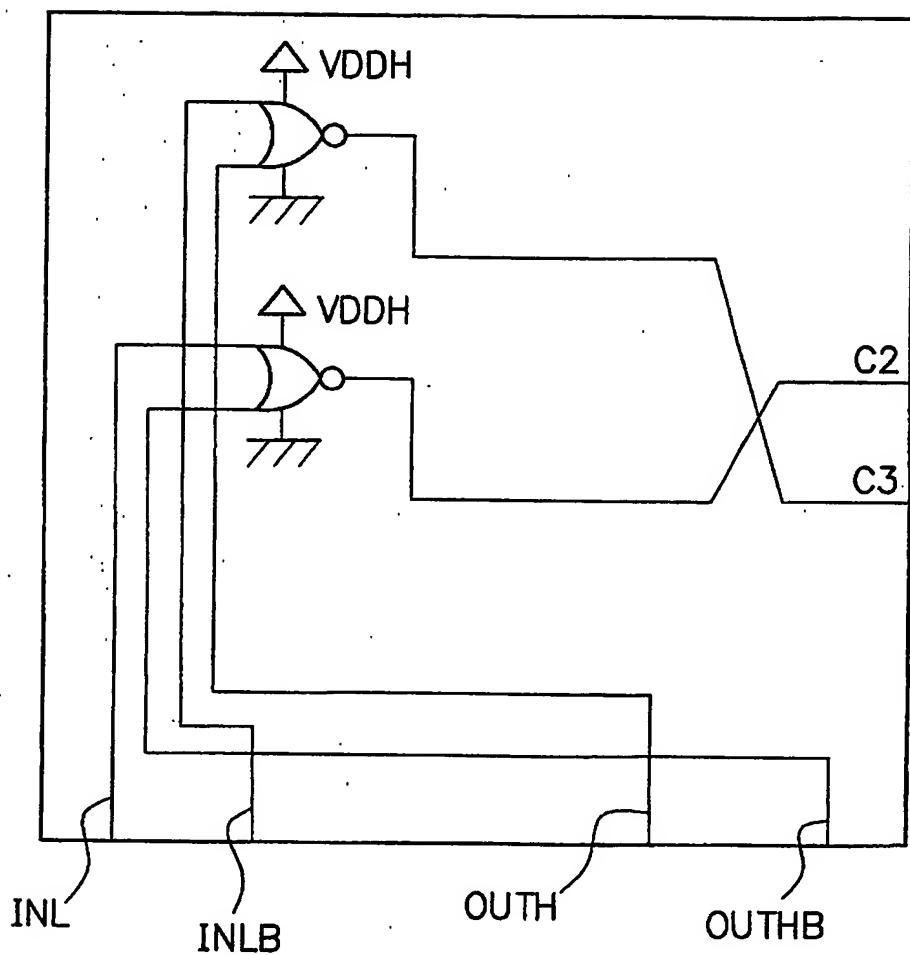


図 4



5/38

図 5

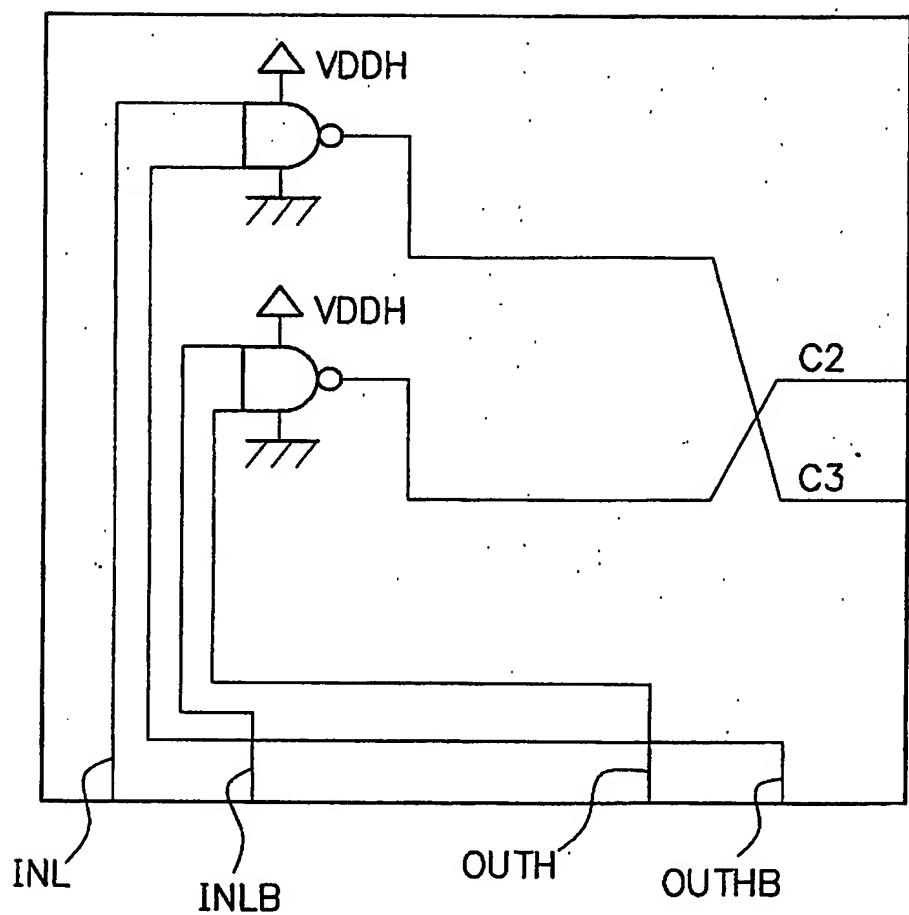


図 6

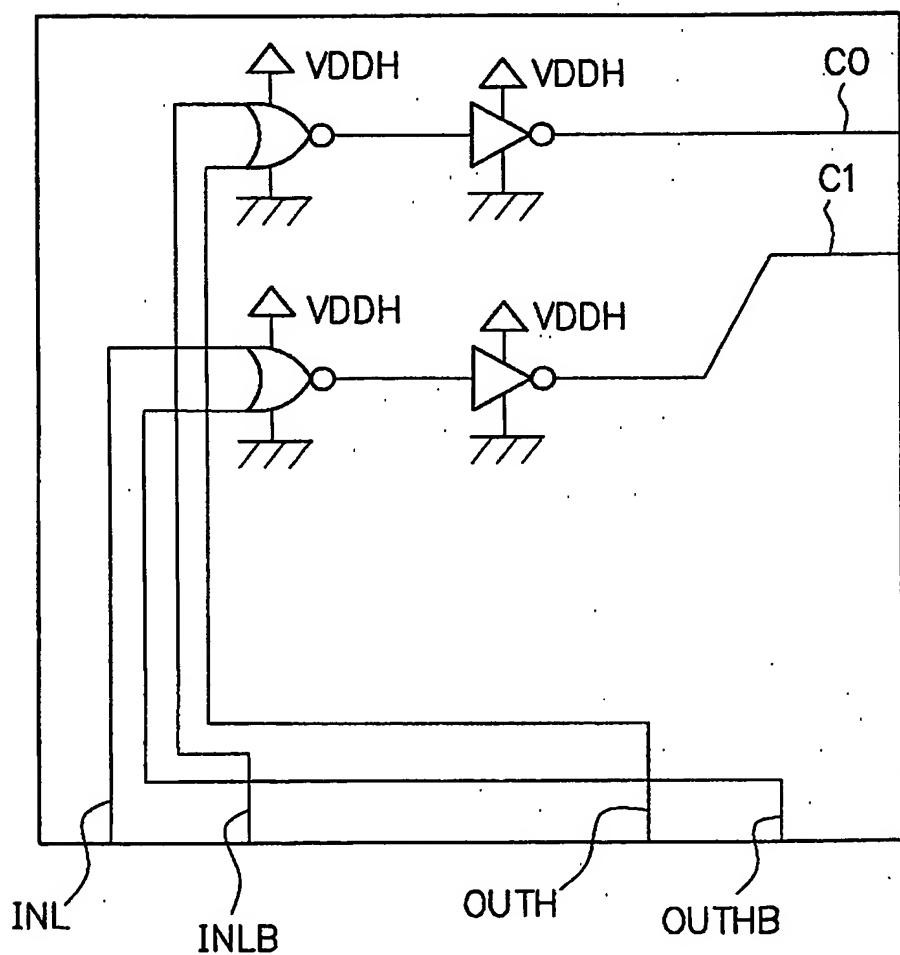
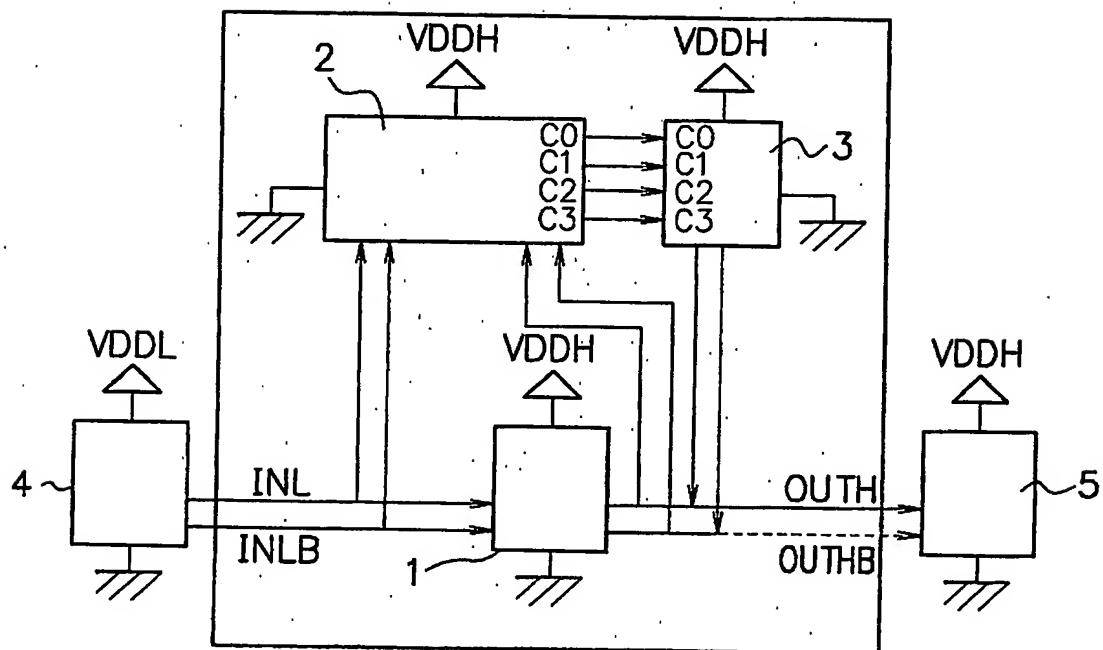


図 7



8/38

図 8

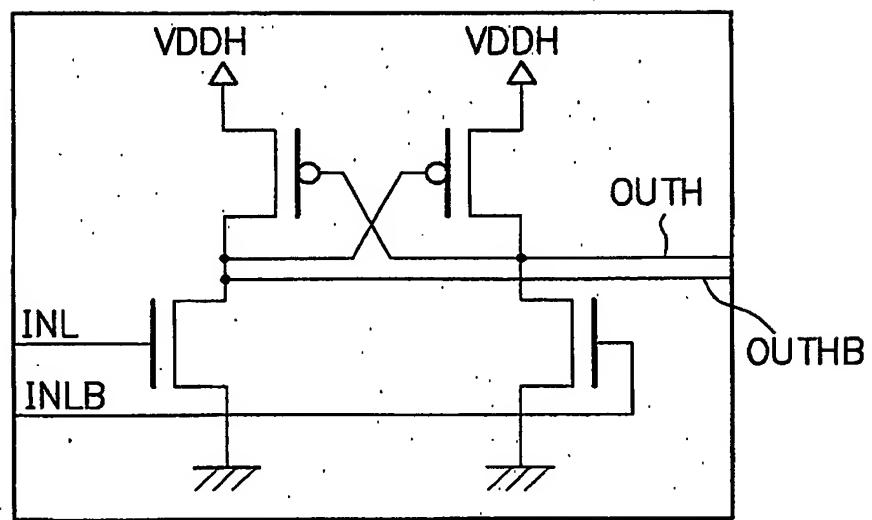
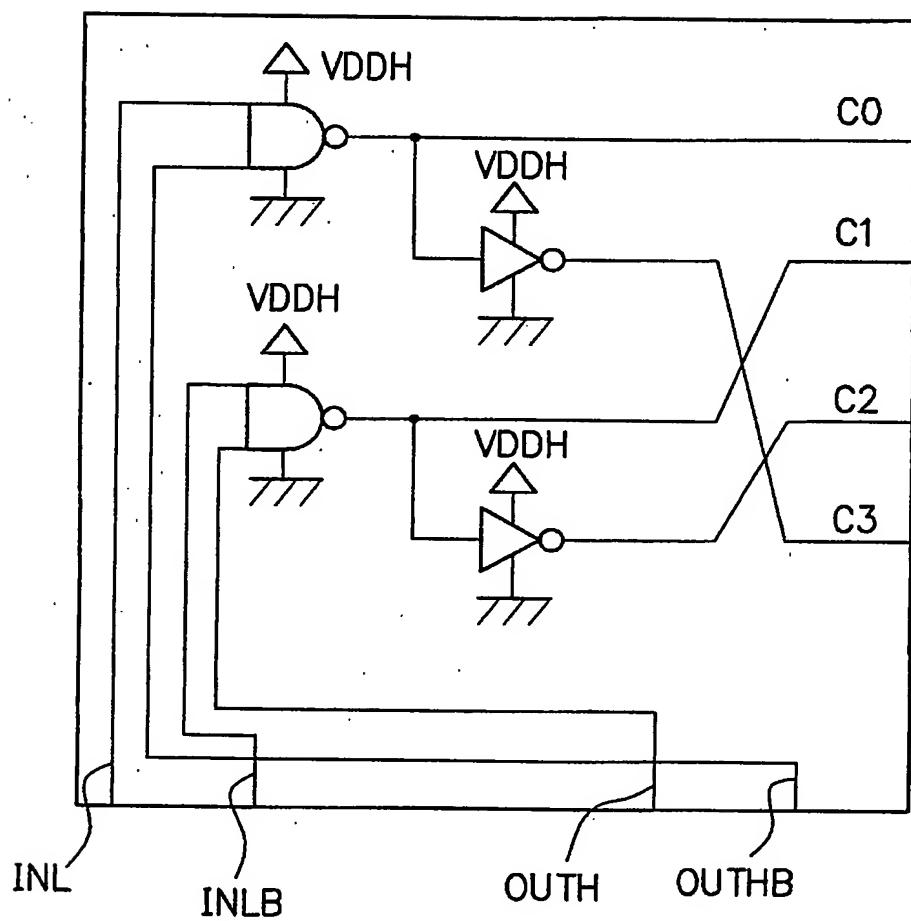


図 9



10/38

図 1 0

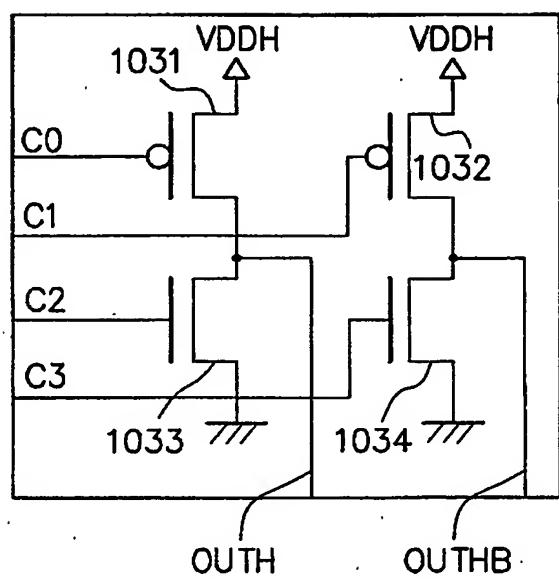


図 1 1

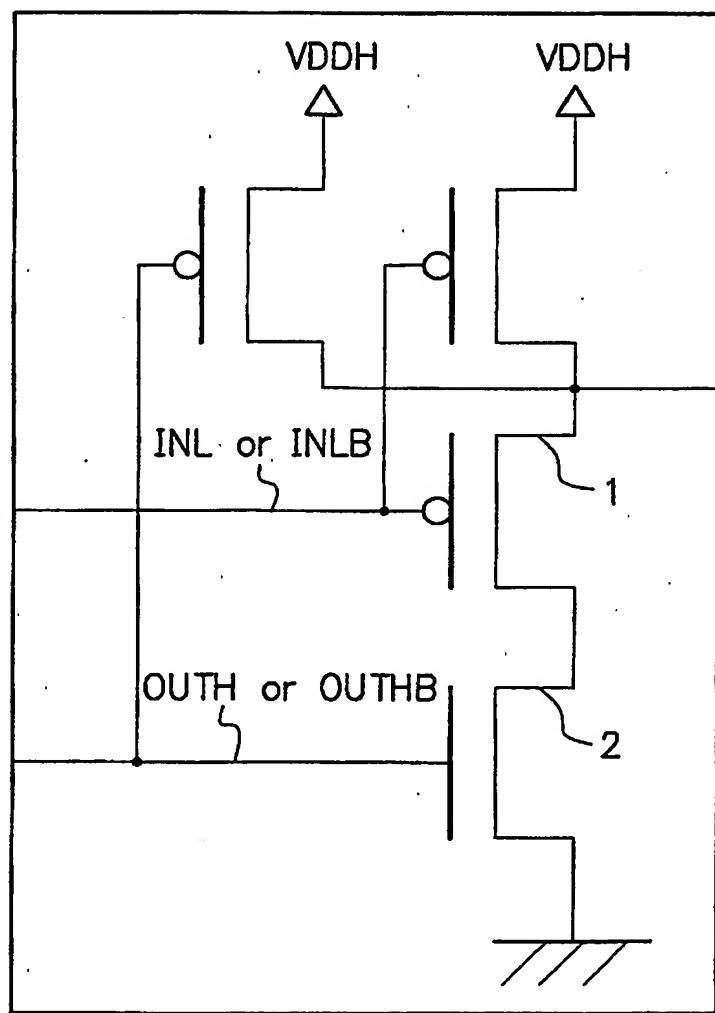
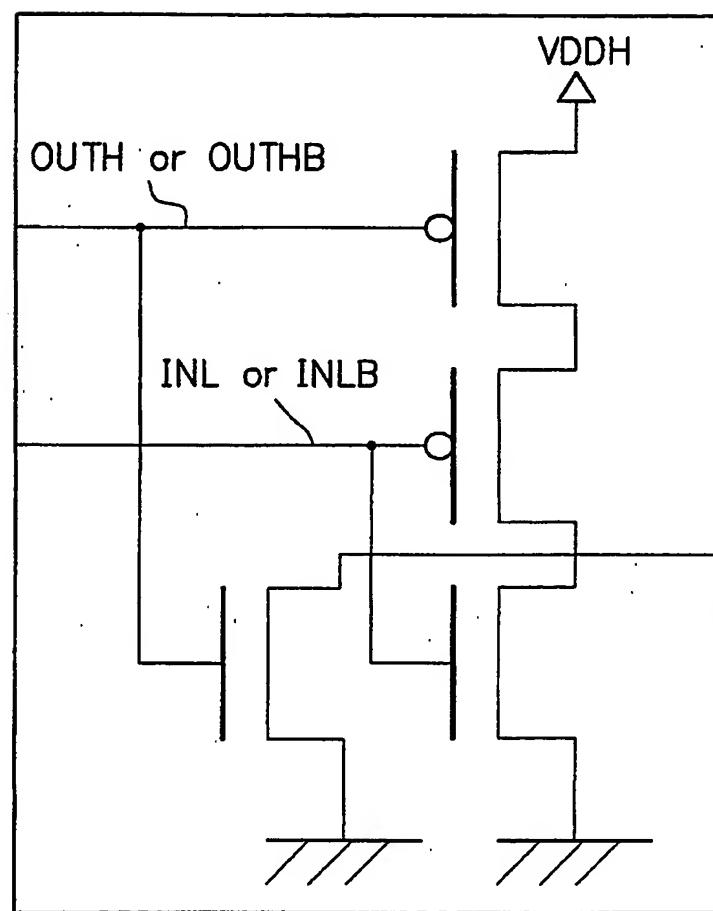


図 1 2



13/38

図 1 3

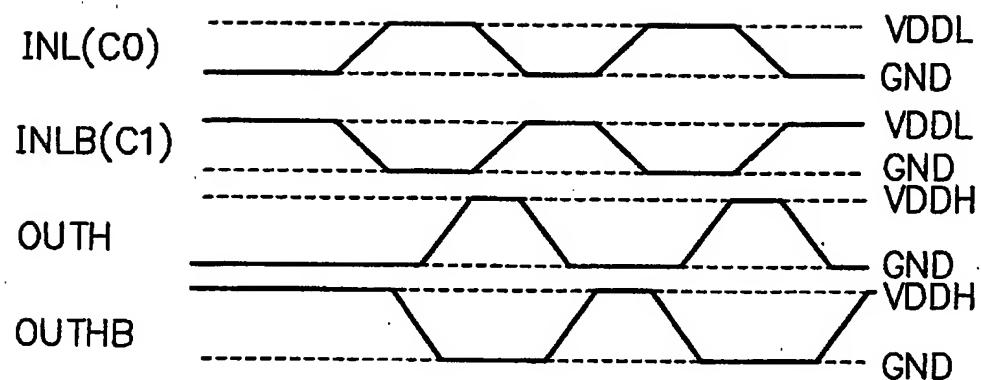


図 1 4

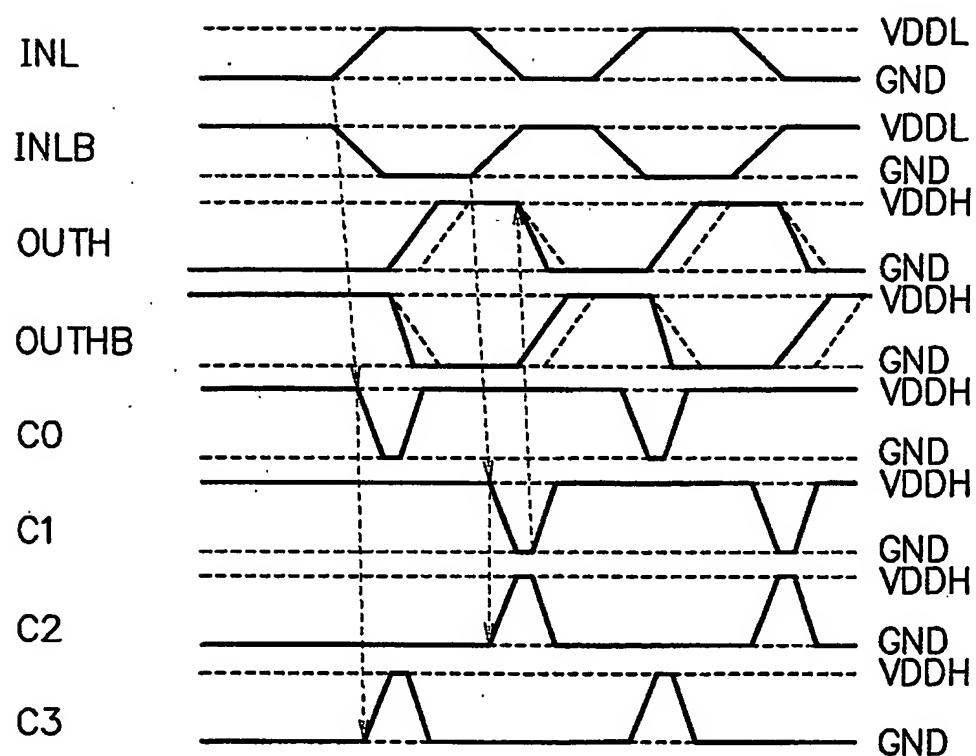
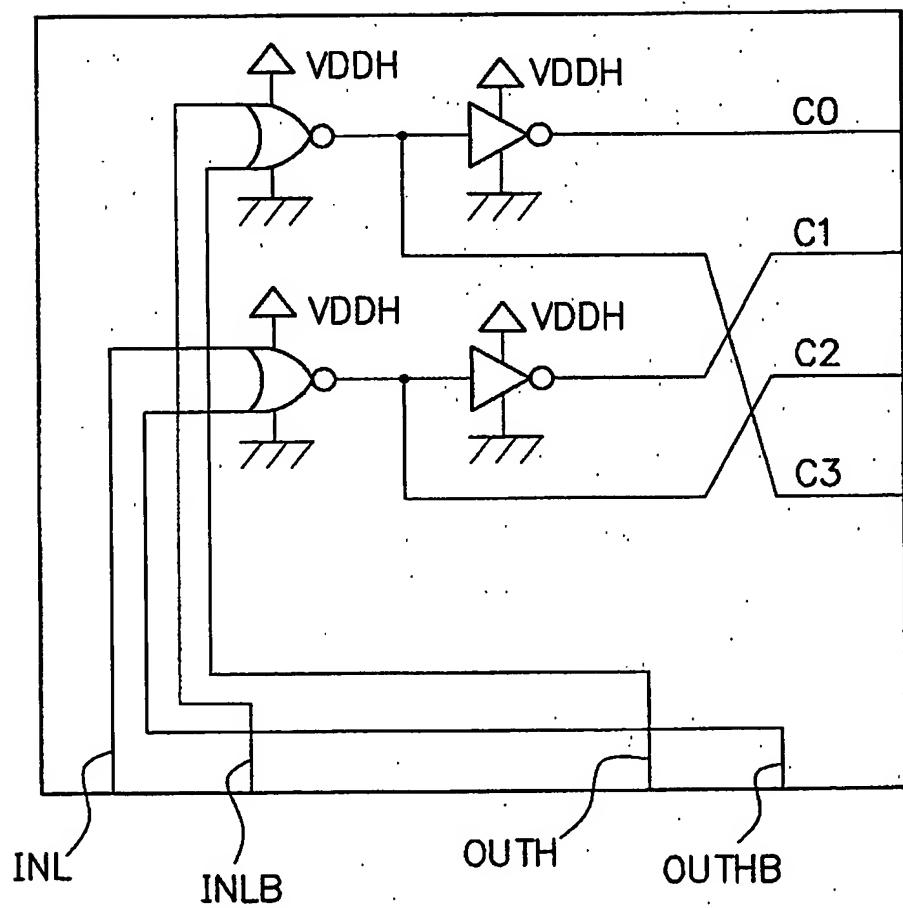


図 1 5



16/38

図 16

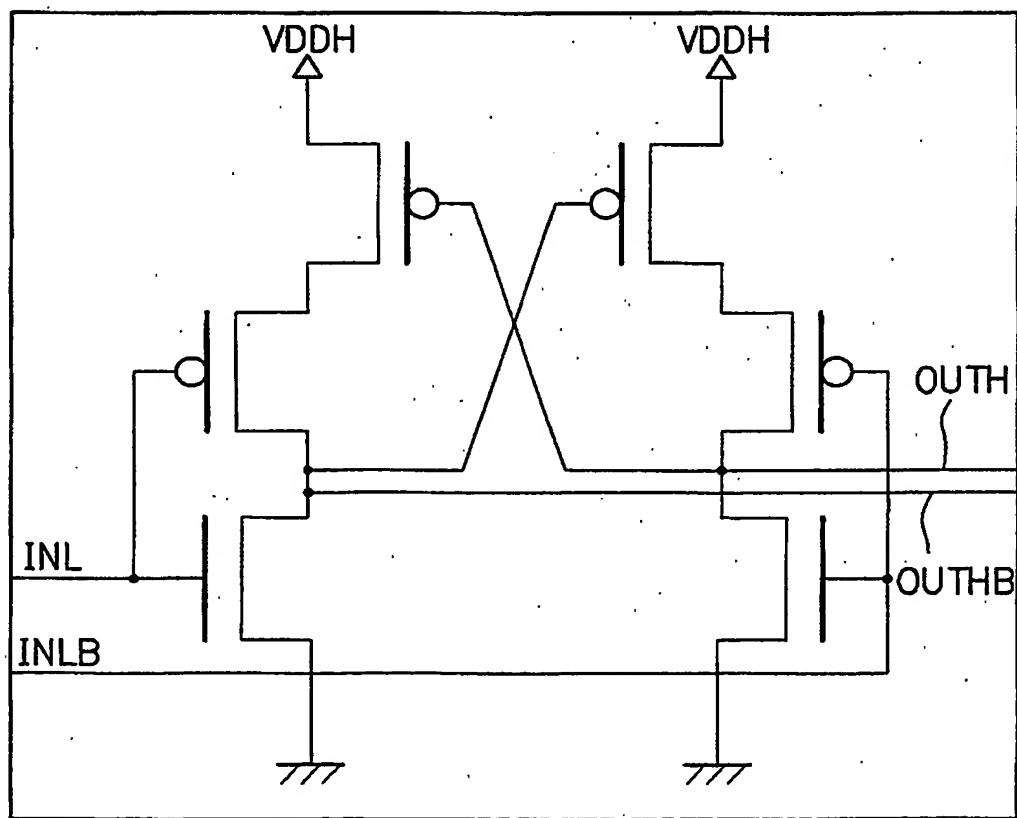


図 17

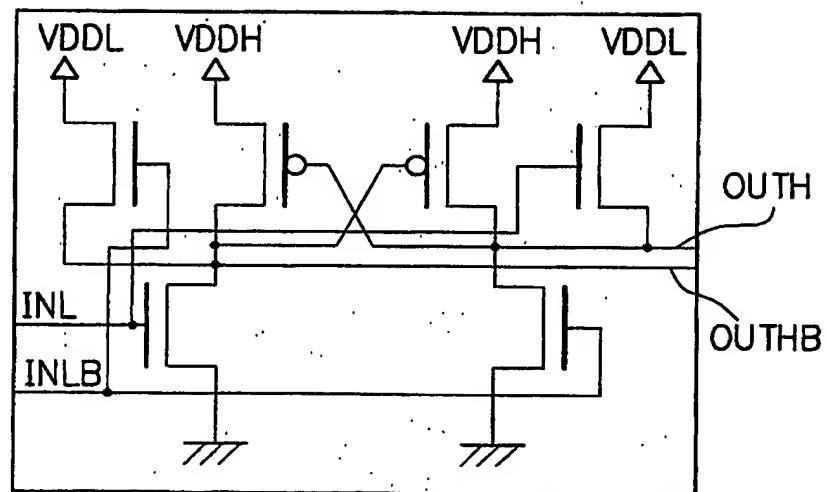


図 1 8

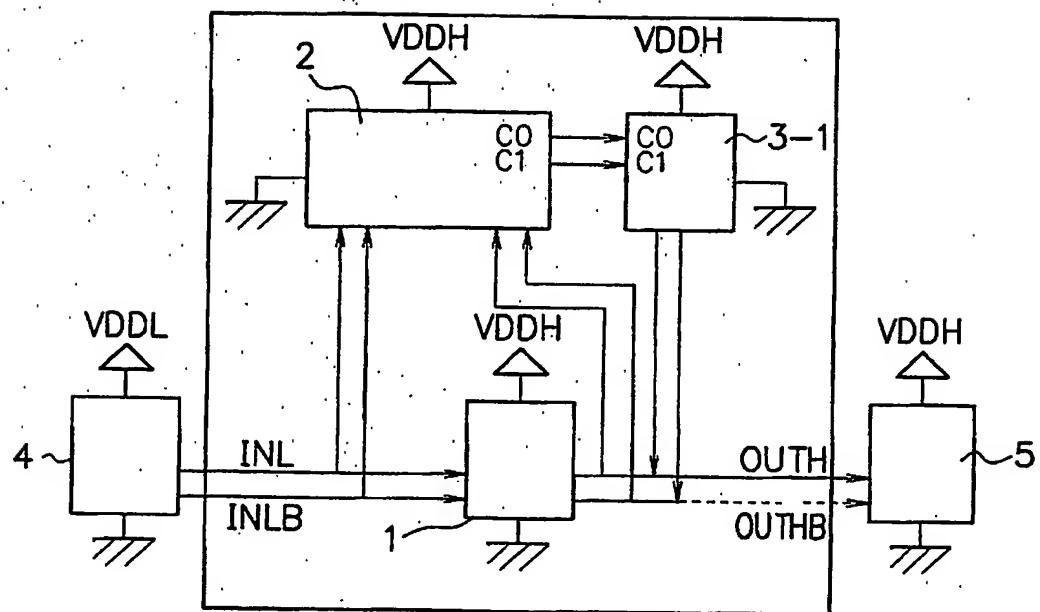


図 1 9

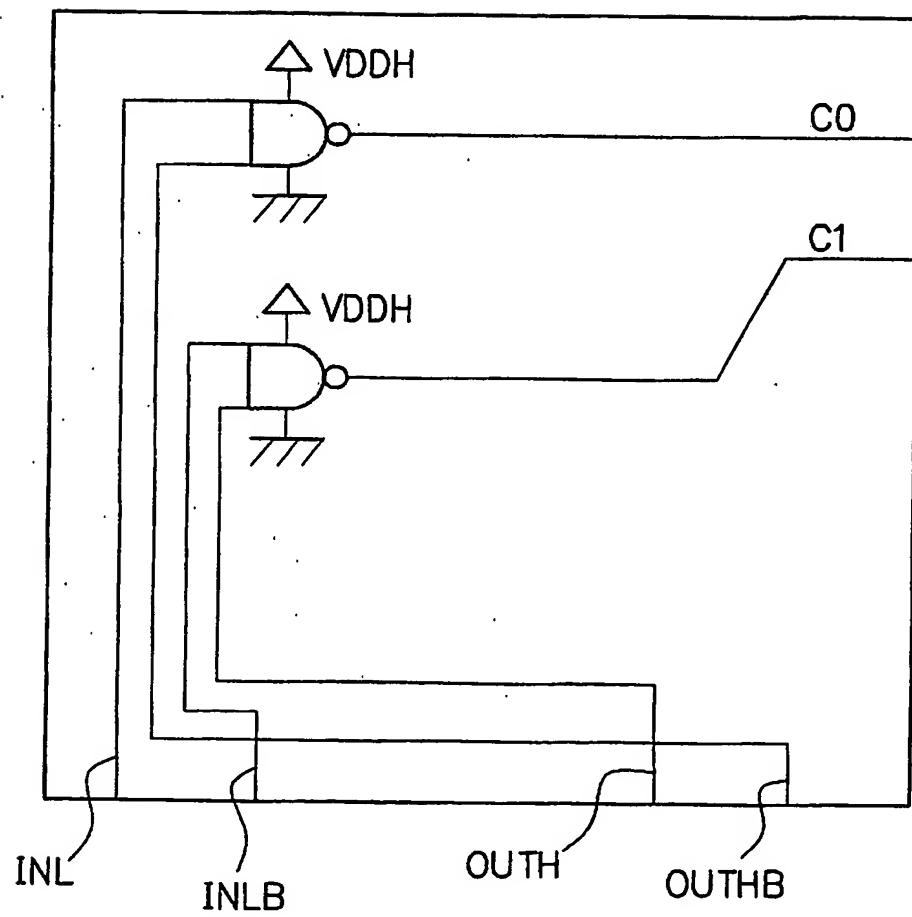


図 2 0

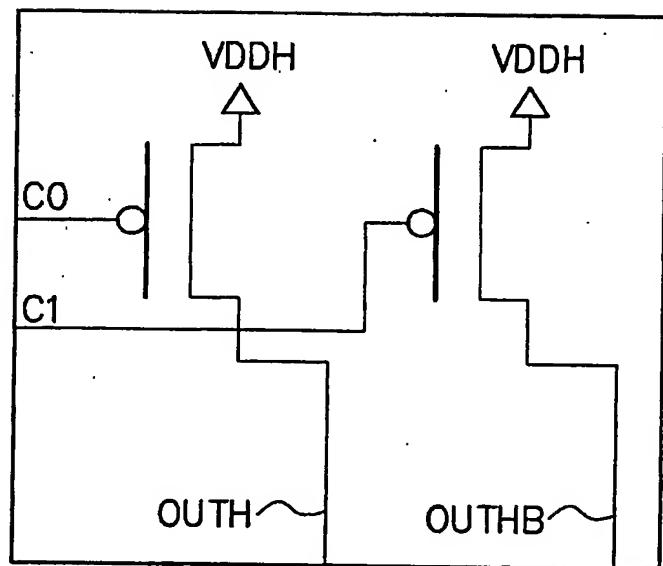
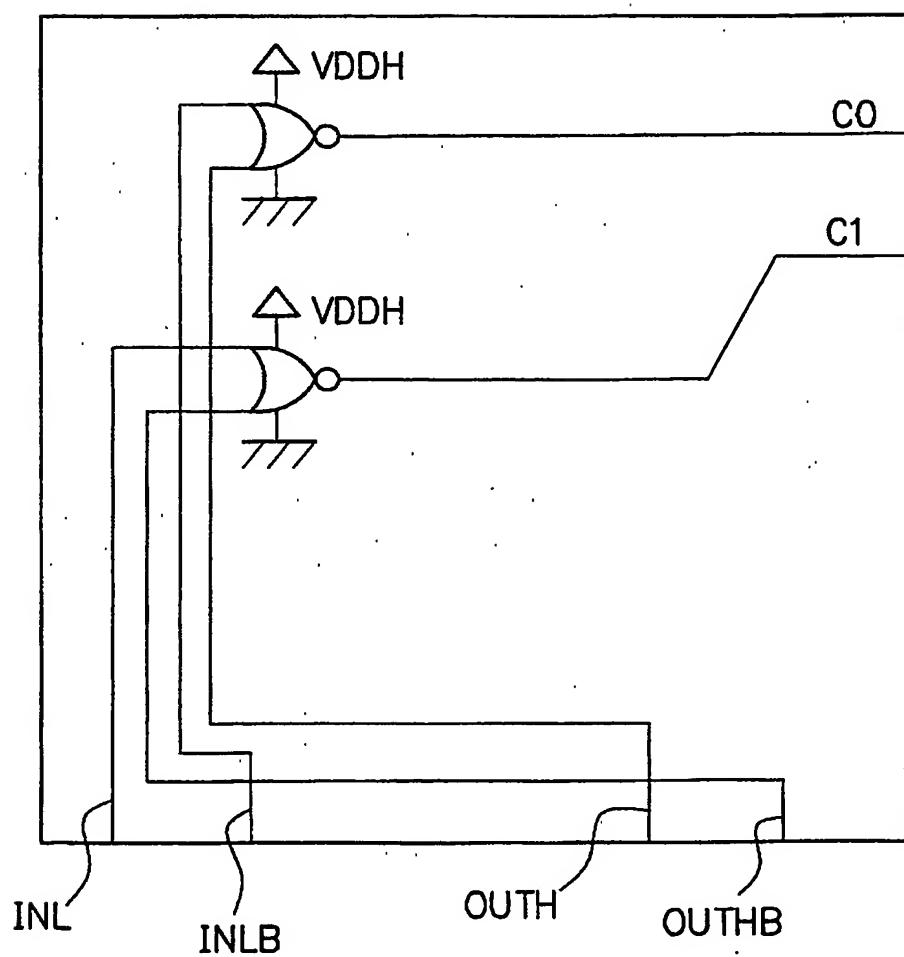
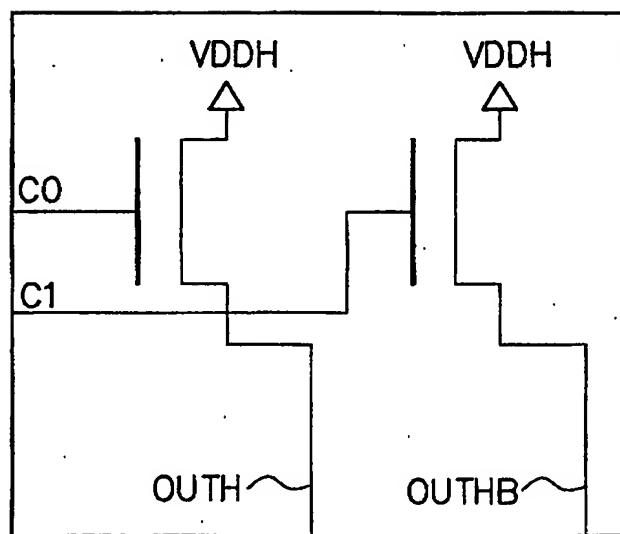


図 2 1



22/38

図 2 2



23/38

図 2 3

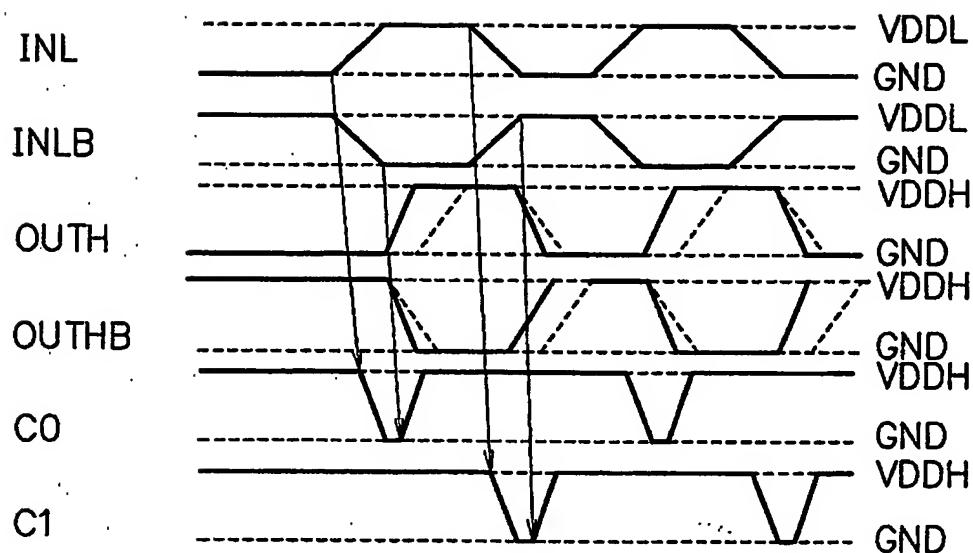


図 2 4

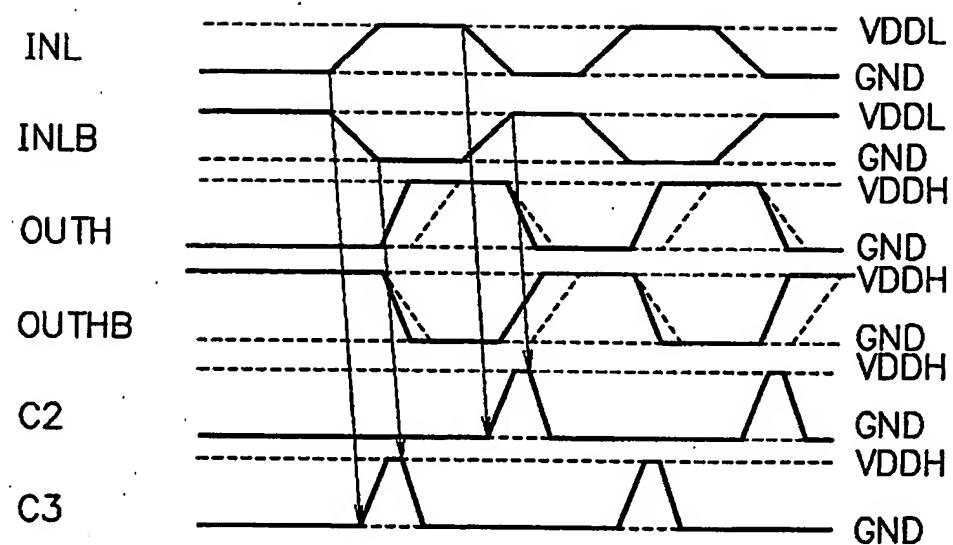


図 2.5

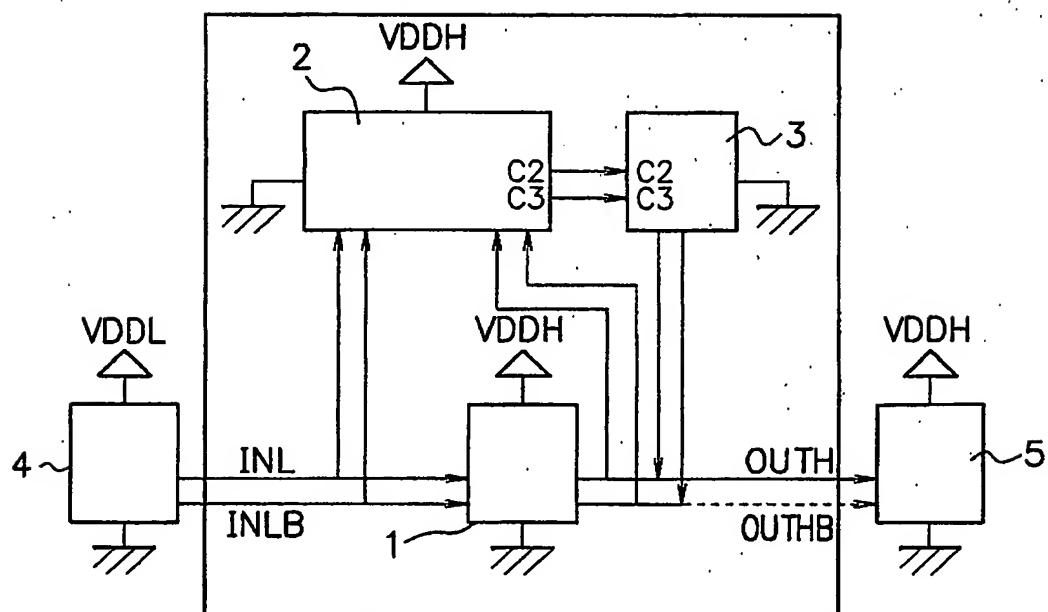
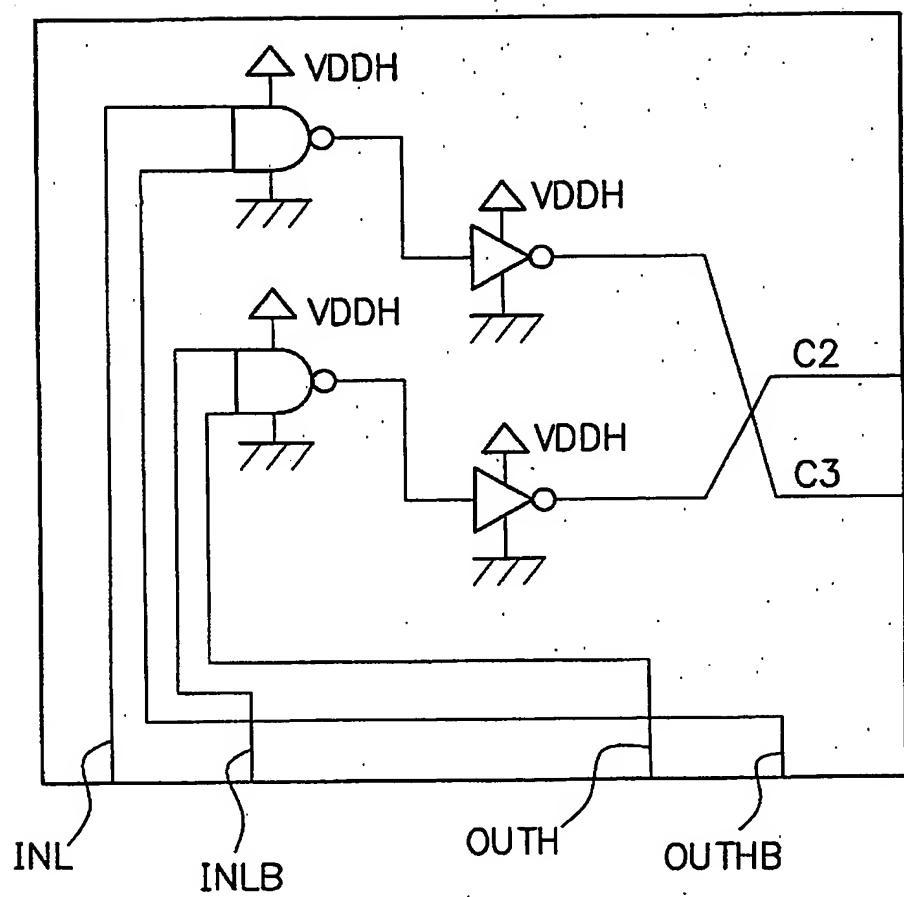
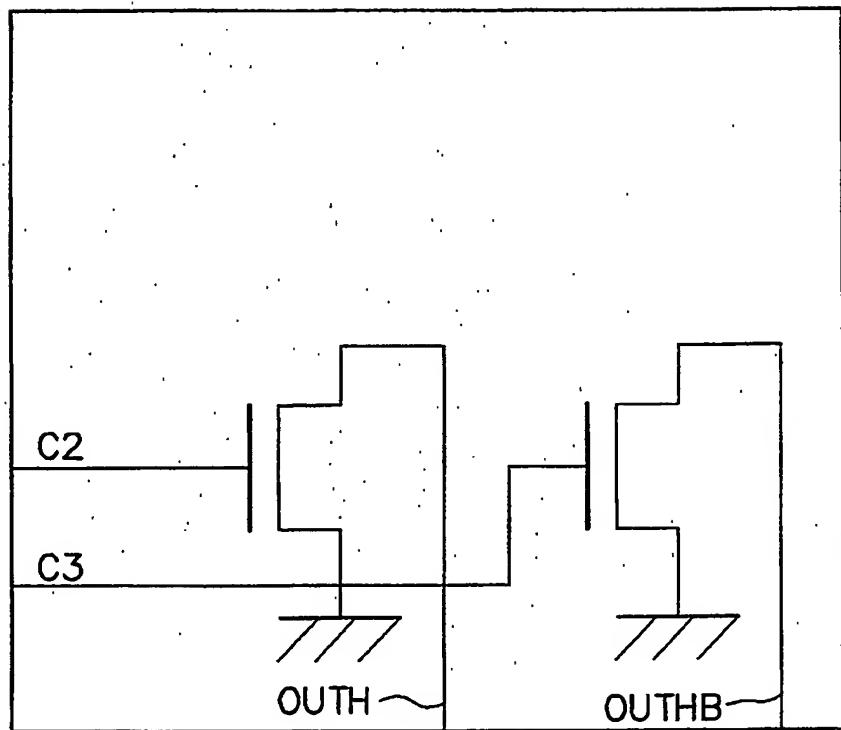


図 2 6



27/38

図 27



28/38

図 28

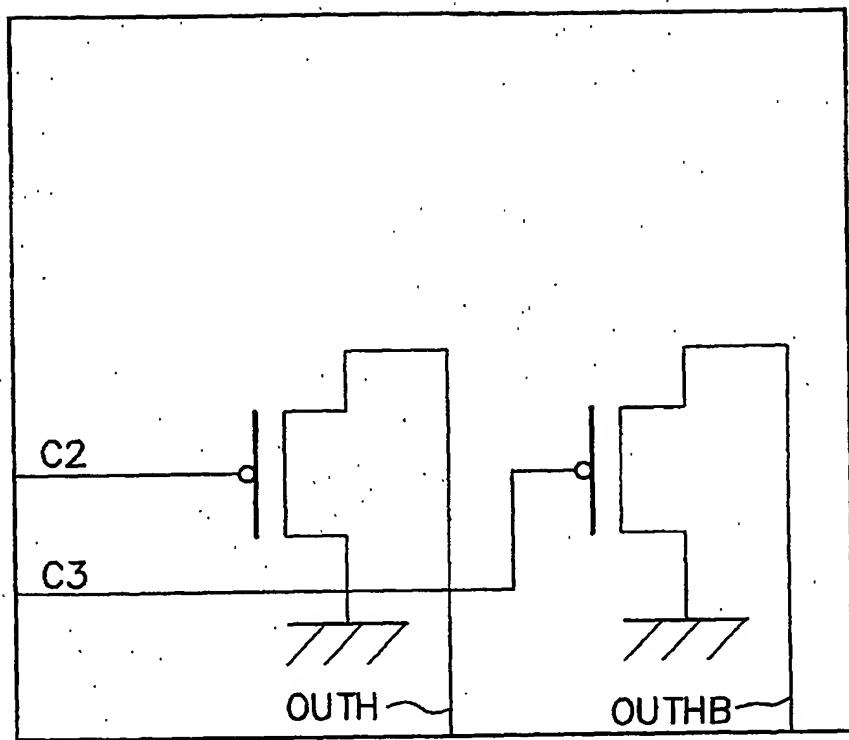
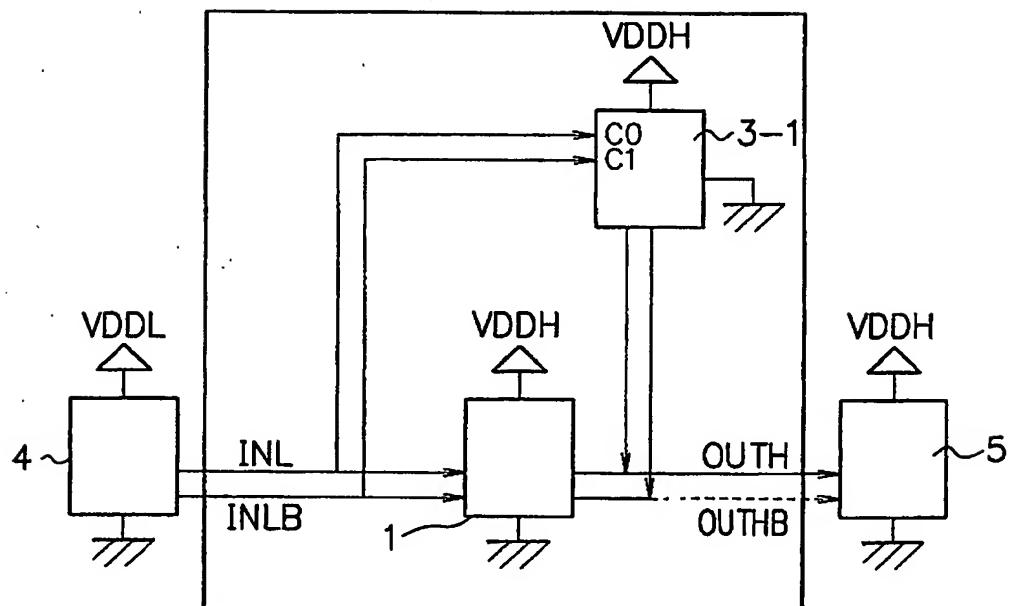


図 2 9



30/38

図 3 0

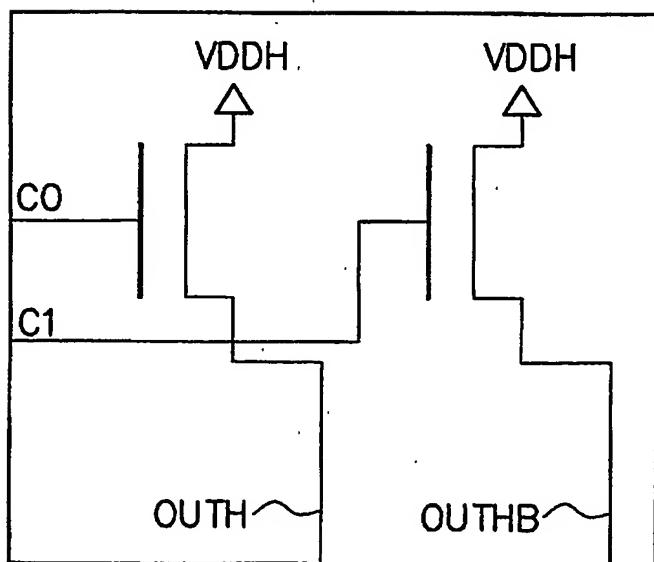


図 3 1

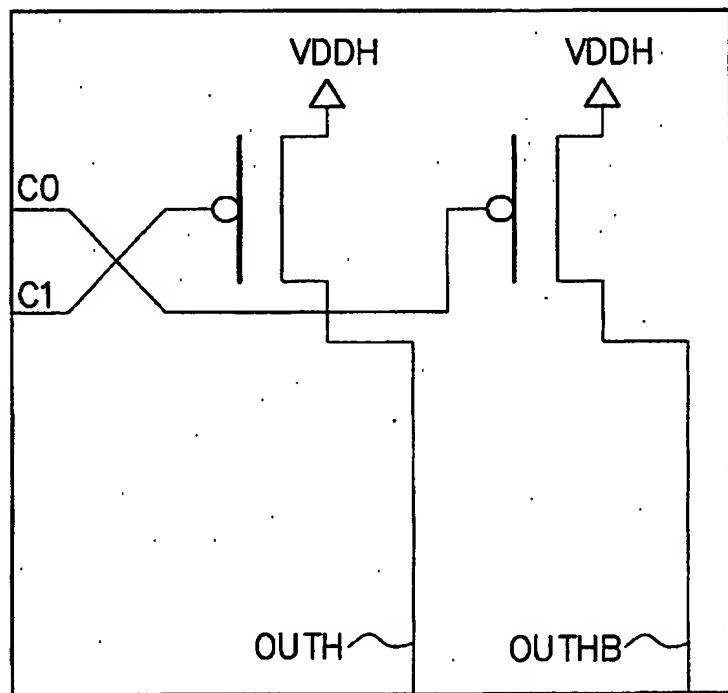
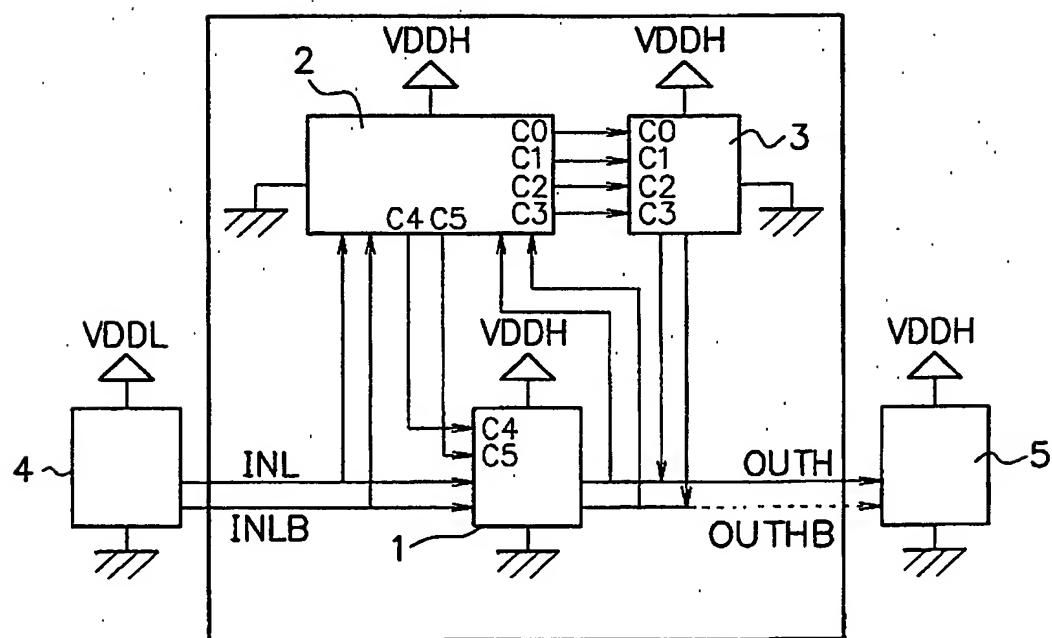
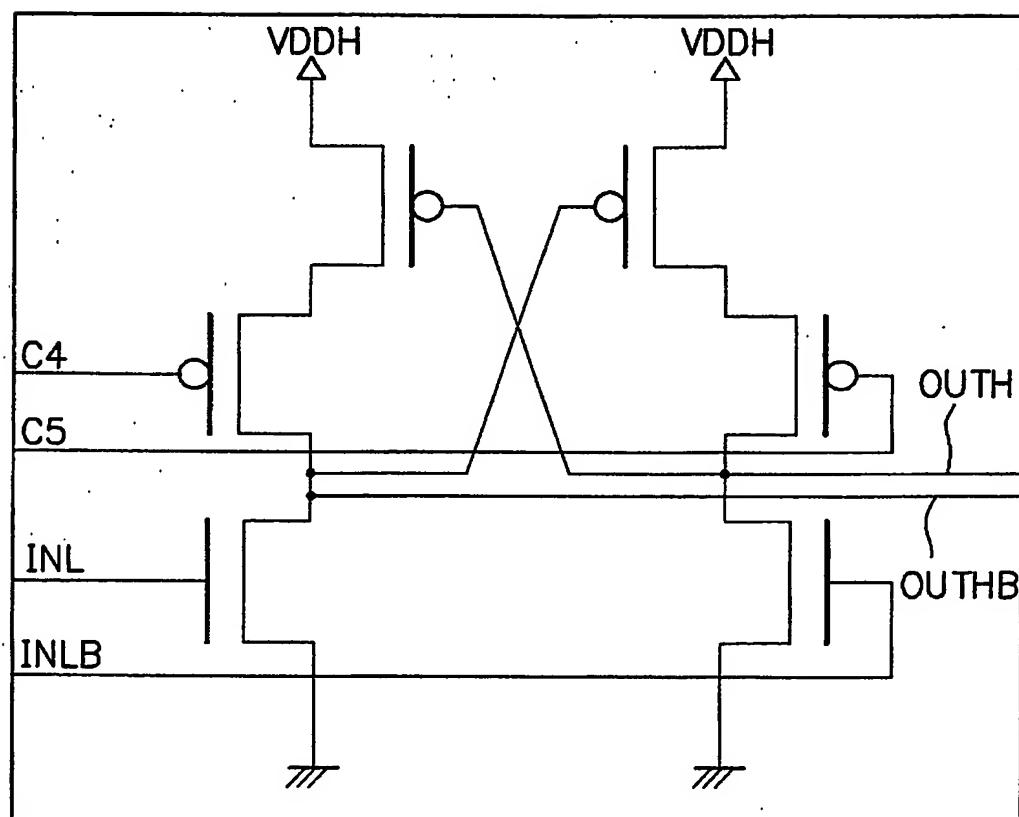


図 3 2



33/38

図 3 3



34/38

図 3 4

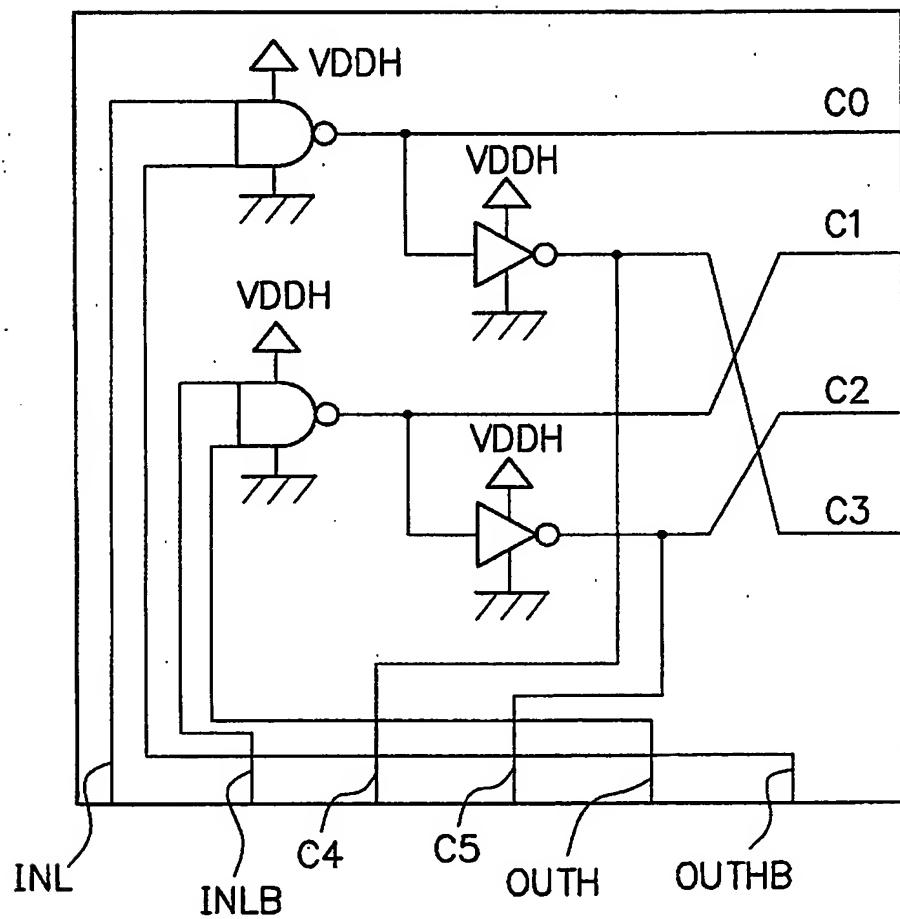


図 3.5

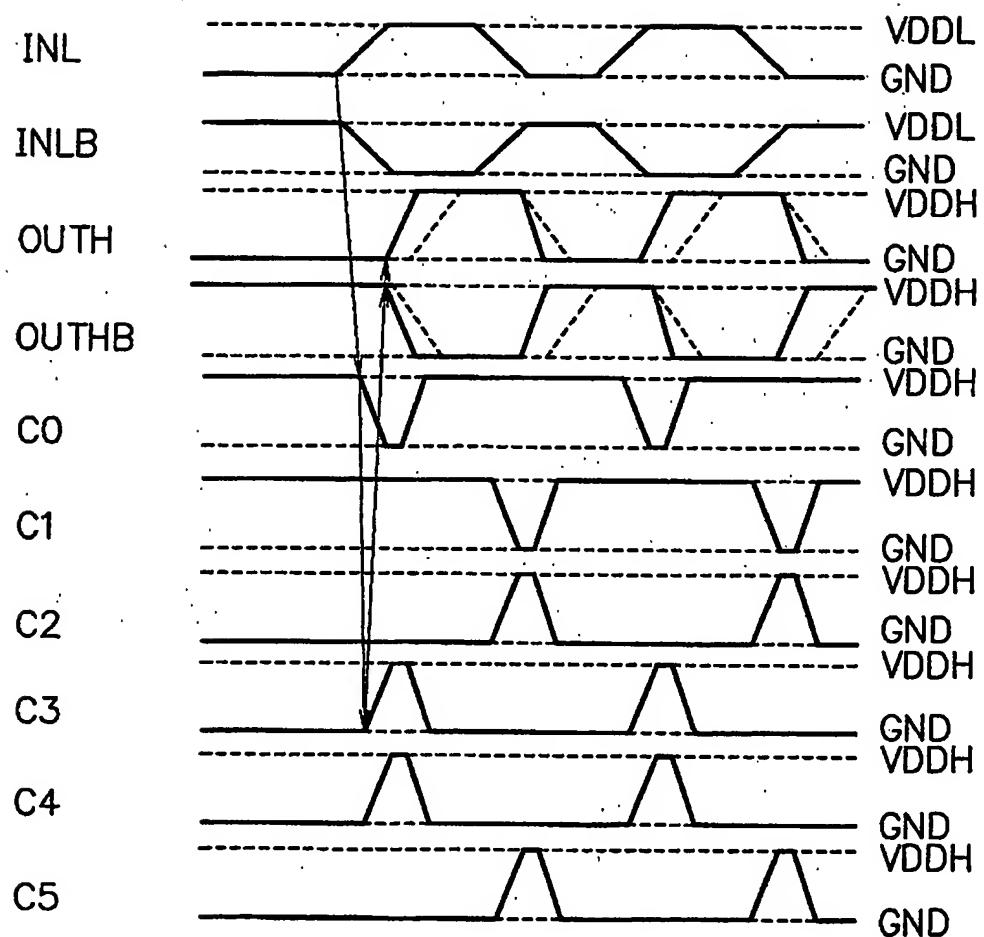


図 3 6

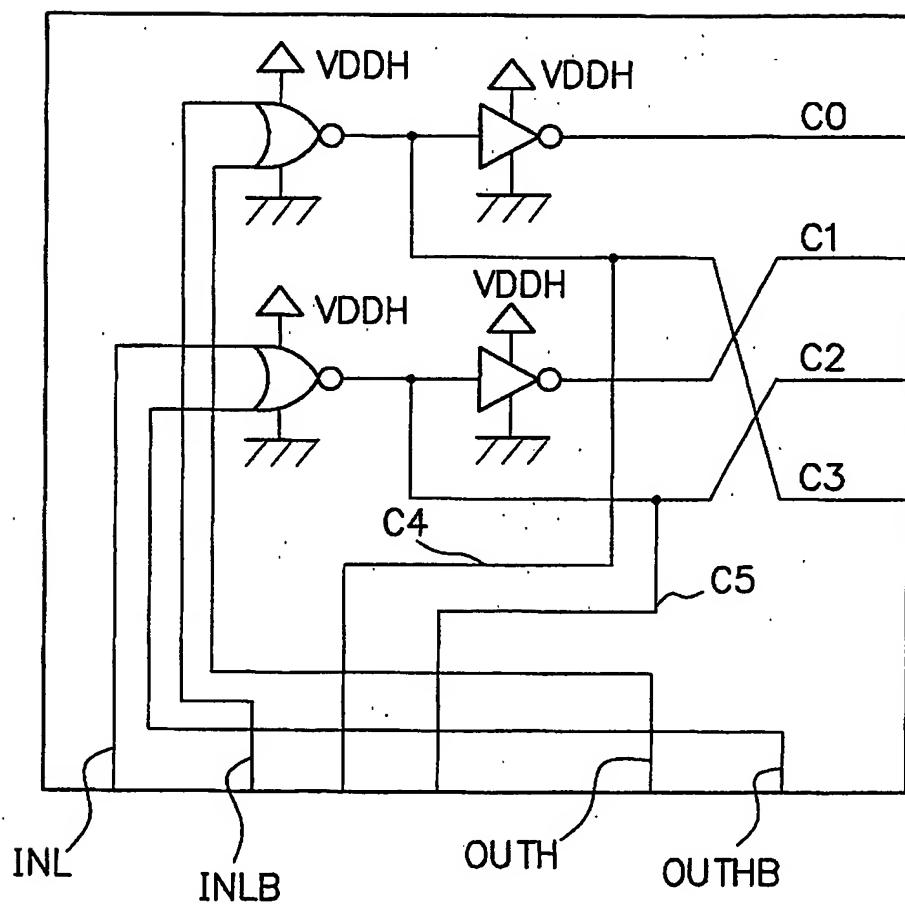


図 3 7

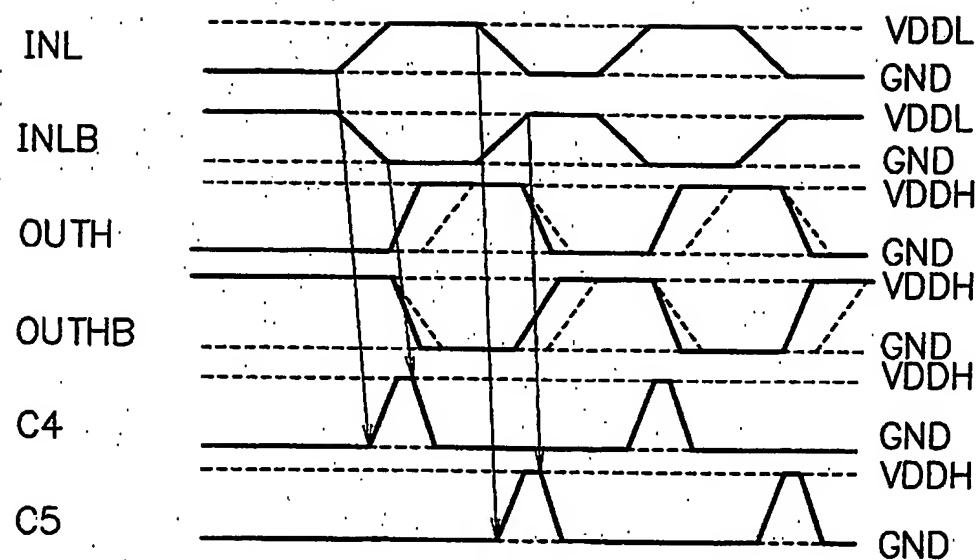
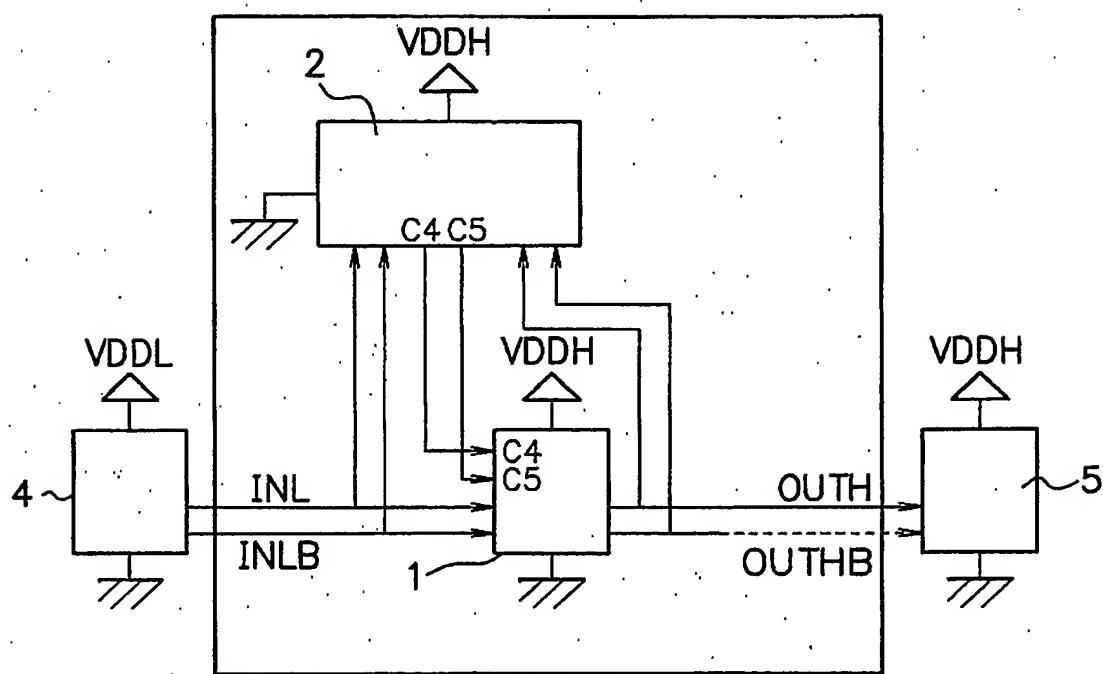


図 3 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14107

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ H03K19/0185

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.C1⁷ H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-68991 A (NEC IC Miconsystem Kabushiki Kaisha), 16 March, 2001 (16.03.01), Fig. 1; columns 46 to 47 (Family: none)	1-3 6, 9, 10
X Y	JP 11-239051 A (NEC Corp.), 31 August, 1999 (31.08.99), Figs. 1, 4; columns 30 to 31, 42 & US 6094083 A	1-3 6, 9, 10
Y	JP 2000-349618 A (Matsushita Electronics Corp.), 15 December, 2000 (15.12.00), Fig. 4; columns 12, 46 to 47 (Family: none)	9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

Date of the actual completion of the international search 26 November, 2003 (26.11.03)	Date of mailing of the international search report 09 December, 2003 (09.12.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14107

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-268452 A (Mitsubishi Electric Corp.), 22 September, 1994 (22.09.94), Fig.-1 (Family: none)	9
Y	JP 11-261401 A (Sharp Corp.), 24 September, 1999 (24.09.99), Fig. 3 & US 6002290 A	10
Y	JP 6-243680 A (Mitsubishi Electric Corp.), 02 September, 1994 (02.09.94), Fig. 1 (Family: none)	10
A	JP 10-84274 A (Matsushita Electric Industrial Co., Ltd.), 31 March, 1998 (31.03.98), Figs. 3, 4, 7, 8, 10 (Family: none)	1-10
A	JP 11-205140 A (Mitsubishi Electric Corp.), 30 July, 1999 (30.07.99), Figs. 4, 5, 8 & US 6091351 A	1-10
A	JP 11-195975 A (Hitachi, Ltd.), 21 July, 1999 (21.07.99), Fig. 3 & US 6249145 B1	1-10
A	JP 9-74348 A (Seiko Epson Corp.), 18 March, 1997 (18.03.97), Figs. 1, 2 Columns 7 to 11 (Family: none)	1-10
A	JP 2000-124792 A (New Japan Radio Co., Ltd.), 28 April, 2000 (28.04.00), Page 1; abstract (Family: none)	1-10
A	JP 7-264047 A (Fujitsu Ltd.), 13 October, 1995 (13.10.95), Fig. 1; columns 22 to 25 (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int C1' H03K 19/0185

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int C1' H03K 19/0185

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-68991 A (日本電気アイシーマイコンシステム株式会社) 2001.03.16, 図1、本文第46欄~第47欄 (ファミリーなし)	1-3
Y	JP 11-239051 A (日本電気株式会社) 1999.08.31, 図1, 図4、本文第30欄~第31欄、第42欄 & US 6094083 A	6, 9, 10
X	JP 2000-349618 A (松下電子工業株式会社) 2000.12.15, 図4、本文第12欄、第46欄~第47欄 (ファミリーなし)	1-3
Y		6, 9, 10
		9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの

「E」国際出願日前の出願または特許であるが、国際出願日
以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用する
文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
出願と矛盾するものではなく、発明の原理又は理論
の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

26. 11. 03

国際調査報告の発送日

09.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4番3号

特許庁審査官 (権限のある職員)

彦田 克文



5X 9182

電話番号 03-3581-1101 内線 3556

C(続き)	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 6-268452 A (三菱電機株式会社) 1994. 09. 22, 図1 (ファミリーなし)	9
Y	JP 11-261401 A (シャープ株式会社) 1999. 09. 24, 図3 & US 6002290 A	10
Y	JP 6-243680 A (三菱電機株式会社) 1994. 09. 02, 図1 (ファミリーなし)	10
A	JP 10-84274 A (松下電器産業株式会社) 1998. 03. 31, 図7、図8、図10、図3、図4 (ファミリーなし)	1-10
A	JP 11-205140 A (三菱電機株式会社) 1999. 07. 30, 図8、図4、図5 & US 6091351 A	1-10
A	JP 11-195975 A (株式会社日立製作所) 1999. 07. 21, 図3 & US 6249145 B1	1-10
A	JP 9-74348 A (セイコーホームズ株式会社) 1997. 03. 18, 図1, 図2, 本文第7欄~第11欄 (ファミリーなし)	1-10
A	JP 2000-124792 A (新日本無線株式会社) 2000. 04. 28, 第1頁要約欄 (ファミリーなし)	1-10
A	JP 7-264047 A (富士通株式会社) 1995. 10. 13, 図1、本文第22欄~第25欄 (ファミリーなし)	1-10